

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/018978

International filing date: 14 December 2004 (14.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-417317
Filing date: 15 December 2003 (15.12.2003)

Date of receipt at the International Bureau: 04 February 2005 (04.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

14.12.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 1 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 4 1 7 3 1 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 4 1 7 3 1 7]

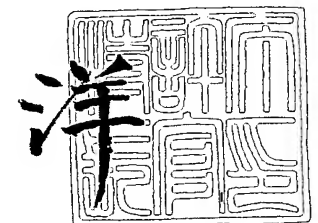
出 願 人 株式会社半導体エネルギー研究所
Applicant(s):



2 0 0 5 年 1 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 P007574
【提出日】 平成15年12月15日
【あて先】 特許庁長官 殿
【発明者】
 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究
 所内
 【氏名】 山崎 舜平
【発明者】
 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究
 所内
 【氏名】 小森 美帆
【発明者】
 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究
 所内
 【氏名】 佐藤 由里香
【発明者】
 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究
 所内
 【氏名】 細木 和江
【発明者】
 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究
 所内
 【氏名】 荻田 香
【特許出願人】
 【識別番号】 000153878
 【氏名又は名称】 株式会社半導体エネルギー研究所
 【代表者】 山崎 舜平
【手数料の表示】
 【予納台帳番号】 002543
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

基板上に剥離層を形成し、
前記剥離層上に下地膜を介して複数の薄膜集積回路装置を形成し、
前記複数の薄膜集積回路装置の境界に溝を形成し、
前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによって、前記複数の薄膜集積回路装置を分離することを特徴とする薄膜集積回路装置の作製方法。

【請求項 2】

基板上に剥離層を形成し、
前記剥離層上に下地膜を介して複数の薄膜集積回路装置を形成し、
前記複数の薄膜集積回路装置の境界に溝を形成し、
前記複数の薄膜集積回路装置の上方に、接着剤を介してジグを形成し、
前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによって、前記複数の薄膜集積回路装置を分離し、
前記複数の薄膜集積回路装置に接着されたジグを取り外すことを特徴とする薄膜集積回路装置の作製方法。

【請求項 3】

基板上に剥離層を形成し、
前記剥離層上に下地膜を介して複数の薄膜集積回路装置を形成し、
前記薄膜集積回路装置上に耐熱性を有する絶縁膜を形成し、
前記複数の薄膜集積回路装置の境界に溝を形成し、
前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによって、前記複数の薄膜集積回路装置を分離することを特徴とする薄膜集積回路装置の作製方法。

【請求項 4】

基板上に剥離層を形成し、
前記剥離層上に下地膜を介して複数の薄膜集積回路装置を形成し、
前記薄膜集積回路装置上に耐熱性を有する絶縁膜を形成し、
前記複数の薄膜集積回路装置の境界に溝を形成し、
前記複数の薄膜集積回路装置の上方に、接着剤を介してジグを形成し、
前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによって、前記複数の薄膜集積回路装置を分離し、
前記複数の薄膜集積回路装置に接着されたジグを取り外すことを特徴とする薄膜集積回路装置の作製方法。

【請求項 5】

請求項 2 又は 4 において、
前記接着剤は、UV 光によって接着力が低下又は喪失することを特徴とする薄膜集積回路装置の作製方法。

【請求項 6】

請求項 3 又は 4 において、
前記耐熱性を有する絶縁膜は、シリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなることを特徴とする薄膜集積回路装置の作製方法。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、
前記剥離層は、シリコンを主成分として含むことを特徴とする薄膜集積回路装置の作製方法。

【請求項 8】

請求項 1 乃至 7 のいずれか一項において、
前記下地膜は、酸化珪素、窒化珪素、酸窒化珪素を含むことを特徴とする薄膜集積回路装置の作製方法。

【請求項 9】

請求項 1 乃至 8 のいずれか一項において、
前記溝はダイシング又はドライエッチングによって形成されることを特徴とする薄膜集積回路装置の作製方法。

【請求項 10】

請求項 1 乃至 9 のいずれか一項において、
前記基板は、ガラス基板又は石英基板であることを特徴とする薄膜集積回路装置の作製方法。

【請求項 11】

請求項 1 乃至 10 のいずれか一項において、
前記ハロゲン化フッ素は、 CF_3 （三フッ化塩素）であることを特徴とする薄膜集積回路装置の作製方法。

【請求項 12】

基板上に剥離層を形成し、
前記剥離層上に下地膜を介して複数の薄膜集積回路装置を形成し、
前記薄膜集積回路装置上に耐熱性を有する絶縁膜を形成し、
前記複数の薄膜集積回路装置の境界に溝を形成し、
前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによって、前記複数の薄膜集積回路装置を分離し、
前記分離された薄膜集積回路装置の上方又は下方にアンテナを形成することを特徴とする非接触型薄膜集積回路装置の作製方法。

【請求項 13】

基板上に剥離層を形成し、
前記剥離層上に下地膜を介して複数の薄膜集積回路装置を形成し、
前記薄膜集積回路装置上に耐熱性を有する絶縁膜を形成し、
前記複数の薄膜集積回路装置の境界に溝を形成し、
前記複数の薄膜集積回路装置の上方に、接着剤を介してジグを形成し、
前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによって、前記複数の薄膜集積回路装置を分離し、
前記複数の薄膜集積回路装置に接着されたジグを取り外し、
前記分離された薄膜集積回路装置の上方又は下方にアンテナを形成することを特徴とする非接触型薄膜集積回路装置の作製方法。

【請求項 14】

基板上に剥離層を形成し、
前記剥離層上に下地膜を介して複数の薄膜集積回路装置を形成し、
前記複数の薄膜集積回路装置の境界に溝を形成し、
前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによって、前記複数の薄膜集積回路装置を分離し、
アンテナが形成された基体で前記薄膜集積回路装置を包装することを特徴とする非接触型薄膜集積回路装置の作製方法。

【請求項 15】

基板上に剥離層を形成し、
前記剥離層上に下地膜を介して複数の薄膜集積回路装置を形成し、
前記複数の薄膜集積回路装置の境界に溝を形成し、
前記複数の薄膜集積回路装置の上方に、接着剤を介してジグを形成し、
前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによって、前記複数の薄膜集積回路装置を分離し、

前記複数の薄膜集積回路装置に接着されたジグを取り外し、
アンテナが形成された基体で前記薄膜集積回路装置を包装することを特徴とする非接触型薄膜集積回路装置の作製方法。

【請求項 16】

請求項 13 又は 15 において、

前記接着剤は、UV 光によって接着力が低下又は喪失することを特徴とする非接触型薄膜集積回路装置の作製方法。

【請求項 17】

請求項 14 又は 16 において、

前記耐熱性を有する絶縁膜は、シリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなることを特徴とする非接触型薄膜集積回路装置の作製方法。

【請求項 18】

請求項 12 乃至 17 のいずれか一項において、

前記剥離層は、シリコンを主成分として含むことを特徴とする非接触型薄膜集積回路装置の作製方法。

【請求項 19】

請求項 12 乃至 18 のいずれか一項において、

前記下地膜は、酸化珪素、窒化珪素、酸窒化珪素を含むことを特徴とする非接触型薄膜集積回路装置の作製方法。

【請求項 20】

請求項 12 乃至 19 のいずれか一項において、

前記溝はダイシング又はドライエッチングによって形成されることを特徴とする非接触型薄膜集積回路装置の作製方法。

【請求項 21】

請求項 12 乃至 20 のいずれか一項において、

前記基板は、ガラス基板又は石英基板であることを特徴とする非接触型薄膜集積回路装置の作製方法。

【請求項 22】

請求項 12 乃至 21 のいずれか一項において、

前記ハロゲン化フッ素は、 CF_3 （三フッ化塩素）であることを特徴とする非接触型薄膜集積回路装置の作製方法。

【請求項 23】

基板上に下地膜を介して形成された薄膜集積回路装置と、

前記薄膜集積回路装置上に形成された耐熱性を有する絶縁膜と、

前記薄膜集積回路装置の上方又は下方に形成されたアンテナを有することを特徴とする非接触型薄膜集積回路装置。

【請求項 24】

基板上に下地膜を介して形成された薄膜集積回路装置と、

前記薄膜集積回路装置上に形成された耐熱性を有する絶縁膜と、

アンテナが形成された基体と、

を有し、

前記薄膜集積回路装置は、前記基体に包装され、前記アンテナと接続されていることを特徴とする非接触型薄膜集積回路装置。

【請求項 25】

請求項 23 又は 24 において、

前記アンテナは、Ag、Au、Al、Cu、Zn、Sn、Ni、Cr、Fe、Co 又は Ti を含むことを特徴とする非接触型薄膜集積回路装置。

【請求項 26】

請求項 23 乃至 25 のいずれか一項において、
前記基体は、可撓性を有することを特徴とする非接触型薄膜集積回路装置。

【請求項 27】

請求項 23 乃至 26 のいずれか一項において、
前記耐熱性を有する絶縁膜は、シリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなることを特徴とする非接触型薄膜集積回路装置。

【請求項 28】

請求項 23 乃至 27 のいずれか一項の非接触型薄膜集積回路装置を有する非接触型 I D タグ。

【請求項 29】

非接触型薄膜集積回路装置を有する硬貨であって、
前記非接触型薄膜集積回路装置は、
基板上に下地膜を介して形成された薄膜集積回路装置と、
前記薄膜集積回路装置上に形成された耐熱性を有する絶縁膜と、
前記薄膜集積回路装置の上方又は下方に形成されたアンテナと、
を有し、
前記硬貨の構成要素の一部は、前記アンテナの機能を兼ねていることを特徴とする硬貨。

【請求項 30】

請求項 29 において、
前記アンテナ又は前記硬貨を構成する材料は、Ag、Au、Al、Cu、Zn、Sn、Ni、Cr、Fe、Co 又は Ti を含むことを特徴とする硬貨。

【書類名】明細書

【発明の名称】薄膜集積回路装置の作製方法、非接触型薄膜集積回路装置並びにその作製方法、該非接触型薄膜集積回路装置を有する I D タグ及び硬貨

【技術分野】

【0001】

本発明は、メモリやマイクロプロセッサ（中央演算部、CPU）などを有し、紙のように薄くフレキシブルな薄膜集積回路を搭載した薄膜集積回路の作製方法、該薄膜集積回路及びアンテナからなり、主として人間、動植物、商品、紙幣等を識別するためのカード、タグ、ラベル等に利用される薄膜集積回路装置、及びその作製方法に関する。

【背景技術】

【0002】

近年、食品業界、製造業界等のあらゆる産業界において、商品の安全性や管理体制の強化を求める声が高まっており、それに伴い商品に関する情報量が増加しつつある。しかし、現状の商品情報は、主にバーコードの十数桁の数字により提供される製造国、メーカー、商品番号等の情報程度であり、情報量が非常に少なかった。またバーコードを利用した場合、一つ一つを手作業で行うため読み取りに時間を要していた。そこで、バーコードシステムに代わり、RFID（Radio Frequency Identification）と呼ばれる、電磁波を利用した非接触 IC タグによる自動認識技術が注目されている。

【0003】

また、動植物の安全性（例えば、原産地、伝染病の感染の有無等）を確保するために、動植物の体内に直接 IC チップを埋め込み、体外の情報読み取り装置（リーダ）によって動植物に関する情報を取得、管理するという体制が普及しつつある。

【0004】

また、近年、一人当たりが携帯するカード数が増加しており、中でも電磁界を利用して通信を行う非接触型の IC カードが、電子乗車券や電子マネーといった形態で普及しつつある。また、凶悪犯罪や行方不明といった事件が増加する中、特に幼児、児童、老人や旅行者等の個々人の居場所を常時的確に把握し、事故に巻き込まれる可能性を減らすべく、個々人を認識することができる ID（Identification）カード等が普及しつつある。

【0005】

また、紙幣、硬貨、有価証券、チケット等の偽造や盗難が行われた際に、複製や悪用を防止するために、それらの内部に IC チップを埋め込んでおくという技術が普及しつつある（以上、非特許文献 1 参照）。

【0006】

【非特許文献 1】日経エレクトロニクス 日経 BP 社 2002. 11. 18 発行
p. 67-76

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、非接触型や接触型の IC チップが普及するにつれて、莫大な数の人間、動植物、商品、紙幣等に利用可能な IC チップを、大量に極めて低コストで製造する必要がある。例えば、商品や紙幣等に付される IC チップは、1 個当たり 1 円～数円、望ましくは 1 円を切るコストで製造する必要がある、低コストで大量生産が可能な IC チップの構造、プロセスの実現が求められている。

【0008】

現状では、IC チップを製造するにあたり、シリコンウエハ上に複数の薄膜集積回路を形成し、該シリコンウエハを研磨除去（バックグラインドと呼ばれる。）することにより薄膜集積回路を分離する方法が用いられている。しかし、シリコンウエハは高価であるにも拘わらず、それをすべて研磨除去してしまうことから、製造コストの増加は回避できなかった。また、シリコンウエハからなる集積回路は厚いため、商品容器自体に搭載する場合、表面に凹凸が生じ、デザイン選択の幅に限界があった。

【0009】

また、基板を研磨除去しない方法として、複数の薄膜集積回路が形成された基板にストレスを与え、基板を物理的に剥離する方法があるが、この方法だと、基板上に形成された薄膜の応力の分布等により、基板が完全に剥離されない可能性があった。

【0010】

本発明は、このような状況に鑑みて成されたものであり、低コストで大量生産が可能で、かつ、従来のシリコンウエハと異なり、非常に膜厚の薄い薄膜集積回路、及び該薄膜集積回路を用いた薄膜集積回路装置又はICチップの構造、プロセスを提供することを目的としている。

【課題を解決するための手段】

【0011】

(1) 本発明に係る薄膜集積回路の作製方法は、基板上に剥離層を形成し、前記剥離層上に下地膜を介して複数の薄膜集積回路を形成し、前記複数の薄膜集積回路の境界に溝を形成し、前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによって、前記複数の薄膜集積回路を分離することを特徴としている。

【0012】

ここで、剥離層（ピールオフ・レイヤー）は、基板と薄膜集積回路の間に設けられる層であり、後に該剥離層を除去することにより、基板と薄膜集積回路を分離することができる。剥離層としては、非晶質シリコン、多結晶シリコン、単結晶シリコン、SAS（セミアモルファスシリコン（微結晶シリコンともいう。））等、シリコン（Si、珪素）を主成分とする層を用いることができる。C1F3（三フッ化塩素）等のハロゲン化フッ素は、珪素を選択的にエッチングするという特性があるため、剥離層としてシリコン（Si、珪素）を主成分とする層を用いることにより、C1F3を含む気体又は液体によって前記剥離層を容易に除去することができる。

【0013】

また、下地膜は、剥離層と薄膜集積回路の間に設けられるものであり、C1F3等のハロゲン化フッ素によるエッチングから、薄膜集積回路を保護する役割を有するものである。ここで、C1F3等のハロゲン化フッ素は、珪素を選択的にエッチングするという特性がある反面、酸化珪素（SiOx）、窒化珪素（SiNx）、酸窒化珪素（SiOxNy又はSiNxOy）はほとんどエッチングされない。したがって、時間の経過とともに剥離層はエッチングされてゆくが、酸化珪素、窒化珪素、酸窒化珪素からなる下地膜はほとんどエッチングされないため、薄膜集積回路への損傷を防止することができる。

【0014】

なお、C1F3等のハロゲン化フッ素によってエッチングされる材料を剥離層として用い、一方、エッチングされない材料を下地膜として用いるという条件に従うならば、剥離層及び下地膜の組合せは、上記材料に限定されるものではなく、適宜選択することができる。

【0015】

また、ハロゲン化フッ素としては、上記C1F3等に窒素を混合したガスを用いてもよい。また、C1F3は、反応空間の温度によっては液体の場合もあり（沸点11.75℃）、その際にはウェットエッチングを採用することもできる。なお、C1F3は、塩素を200℃以上でフッ素と反応させることにより、 $\text{Cl}_2(\text{g}) + 3\text{F}_2(\text{g}) \rightarrow 2\text{ClF}_3(\text{g})$ の過程を経て生成することができる。なお、上記剥離層をエッチングし、上記下地膜をエッチングしないようなエッチャントであれば、C1F3に限定されるものでなく、またハロゲン化フッ素に限定されるものでもない。

【0016】

また、薄膜集積回路の境界をなす溝の形成は、ダイシング、スクライビング又はマスクを利用したエッチング等によって行うことができる。ダイシングの場合には、ダイシング装置（ダイサー；dicer）を用いるブレードダイシング法が一般的である。ブレード（blade）とは、ダイヤモンド砥粒を埋め込んだ砥石で、その幅は約30～50μmであり、こ

のブレードを高速回転させることにより、薄膜集積回路を分離する。また、スクライビングの場合には、ダイヤモンドスクライビング法とレーザースクライビング法等がある。また、エッチングの場合には、露光、現像工程によりマスクパターンを形成し、ドライエッチング、ウェットエッチング等により素子分離を行うことができる。ドライエッチングにおいては、大気圧プラズマ法を用いてもよい。

【0017】

また、基板としては、ガラス基板、石英基板、アルミナなど絶縁物質で形成される基板、シリコンウエハ基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板等を用いることができる。この場合、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) ($x > y$)、窒化酸化珪素 (SiN_xO_y) ($x > y$) ($x, y = 1, 2, \dots$) 等、基板側から不純物などの拡散を防止するための下地絶縁膜を形成しておいてもよい。また、ステンレスなどの金属または半導体基板などの表面に酸化シリコンや窒化シリコンなどの絶縁膜を形成した基板なども用いることができる。

【0018】

また、本発明を用いて一旦 IC チップを形成した後に、剥離された使用済みの基板を再利用してもよい。再利用する場合、上記ダイシングやスクライビング等において、基板に傷が生成されないように制御するのが望ましいが、傷が生成された場合には、有機樹脂や無機膜を塗布法や液滴吐出法（インクジェット法等）によって形成し、平坦化処理を行ってもよい。

【0019】

なお、薄膜集積回路をハロゲン化フッ素等によるエッチングから保護するために、薄膜集積回路上に保護膜を形成しておくのが望ましい。特に、減圧 CVD 法のようにハロゲン化フッ素ガスを加熱してエッチングを行う場合には、耐熱性有機樹脂や、耐熱性無機膜を用いるのが望ましい。耐熱性有機樹脂の代表的なものとして、シリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料があり、所謂シロキサン系樹脂などとも呼ばれる。以後、耐熱性有機樹脂という場合には、シロキサン系樹脂も含むものとする。

【0020】

(2) 本発明に係る薄膜集積回路の作製方法は、基板上に剥離層を形成し、前記剥離層上に下地膜を介して複数の薄膜集積回路を形成し、前記複数の薄膜集積回路の境界に溝を形成し、前記複数の薄膜集積回路の上方に、接着剤を介してジグを形成し、前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによって、前記複数の薄膜集積回路を分離し、前記複数の薄膜集積回路に接着されたジグを取り外すことを特徴としている。

【0021】

ここで、ジグ（治具）とは、剥離層を除去した後に薄膜集積回路がバラバラに分離しないように、一時的に薄膜集積回路を固定するための支持基板を指す。ジグは、一つの IC チップ又は薄膜集積回路を構成する薄膜集積回路毎、又は複数の薄膜集積回路が水平方向若しくは高さ方向に集積されてきた素子毎に形成される。ジグの形状としては、後にハロゲン化フッ素を含む気体又は液体の導入を容易にするために、突起部を設けた櫛状の構造とするのが望ましいが、平坦なジグを用いても構わない。また、ジグとしては、ハロゲン化フッ素によって冒されない酸化珪素を主成分とするガラス基板、石英基板、ステンレス (SUS) 基板等を用いることができるが、ハロゲン化フッ素によって冒されない材料であれば、これらに限定されるものではない。また、ジグと薄膜集積回路との間には、仮接着するための接着剤が設けられている。

【0022】

ここで、接着剤としては、UV 光照射によって接着力（粘着力）が低下又は喪失する材料を用いることができる。あるいは、3M 社製のポストイット（登録商標）製品や、ムーア社製ノートスティックス（登録商標）製品等に用いられる再剥離再接着可能な接着剤を

用いても構わない。勿論、ジグを簡単に取り外すことができる材料であれば、これらに限定されるものではない。

【0023】

その余の構成については、上記（１）で述べた本発明に準ずる。

【0024】

（３）本発明に係る非接触型薄膜集積回路装置の作製方法は、基板上に剥離層を形成し、前記剥離層上に下地膜を介して複数の薄膜集積回路を形成し、前記薄膜集積回路上に耐熱性有機樹脂を形成し、前記複数の薄膜集積回路の境界に溝を形成し、前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによって、前記複数の薄膜集積回路を分離し、前記分離された薄膜集積回路の上方又は下方にアンテナを形成することを特徴としている。

【0025】

ここでいう薄膜集積回路装置とは、人間、動植物、自他の商品、紙幣等を識別、又はそれらに関する情報を蓄積する機能等を有し、IDチップ（Identification Chip）、IDF（ID Flexible）チップ、ICチップや、単にICとも呼ばれる。中でも、電磁界を利用して、薄膜集積回路装置に内蔵された送受信部（アンテナ、アンテナ回路）を介して、外部の読み込み／書き込み装置（リーダ／ライタ）と、通信を行うものを非接触型薄膜集積回路装置という。薄膜集積回路装置とリーダ／ライタ間で通信を行うことにより、薄膜集積回路装置が内蔵された商品等に関する情報の認識、更新、管理等を行うことができる。

【0026】

また、アンテナとは、リーダ／ライタと通信、すなわち電波のやりとりを行うためのものであり、薄膜集積回路等の集積回路と接続されている。アンテナは、TF T等の薄膜集積回路工程の前後、あるいは、工程内において形成しても良いし、別途形成した後に、薄膜集積回路と接続しても良い。工程内において形成する場合には、例えば、TF Tのゲート電極層と同時に形成することができる。なお、アンテナには、図7等を示すコイル状（渦巻き状）や、図11等を示す閉ループ状がある。

【0027】

また、アンテナを別途形成する場合には、アンテナが形成された基体で、薄膜集積回路の一部又は全部を包装するように形成することができる。この際、異方性導電材料や、公知のボンディング法等を用いて、アンテナと薄膜集積回路とを接続すればよい。

【0028】

なお、薄膜集積回路装置に内蔵されるTF T等の薄膜集積回路を作製するにあたっては、剥離層を除去した後に薄膜集積回路がバラバラに分離しないように、一時的に薄膜集積回路を固定するためのジグを設けておくのが望ましい。その方法については、上記（２）で述べた本発明に準ずる。また、薄膜集積回路装置に内蔵される薄膜集積回路のその余の作製方法については、上記（１）、（２）で述べた本発明に準ずる。

【0029】

（４）本発明に係る非接触型薄膜集積回路装置は、基板上に下地膜を介して形成された薄膜集積回路と、前記薄膜集積回路上に形成された耐熱性を有する絶縁膜と、前記薄膜集積回路の上方又は下方に形成されたアンテナを有することを特徴としている。

【0030】

ここでは、耐熱性を有する絶縁膜としては、シリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料、すなわちシロキサン系樹脂等の耐熱性有機樹脂や、耐熱性の無機材料を用いることができる。

【0031】

また、アンテナとは、リーダ／ライタと通信、すなわち電波のやりとりを行うためのものであり、薄膜集積回路等の集積回路と接続されている。アンテナに用いられる材料としては、Ag、Au、Al、Cu、Zn、Sn、Ni、Cr、Fe、Co若しくはTi、又

はそれらを含む合金を用いることができるが、これらに限定されるものではない。また、アンテナを別途形成する場合には、アンテナが形成された基体で、薄膜集積回路の一部又は全部を包装するように形成することができる。この場合、基体として、プラスチックのように、可撓性を有する、すなわちフレキシブルな材料を用いるのが望ましい。

【0032】

また、本発明に係る非接触型薄膜集積回路装置は、IDタグ、IDカード、様々な商品、紙幣、硬貨等に組み込むことができる。ここで、薄膜集積回路装置を硬貨に組み込む場合には、硬貨の構成要素の一部がアンテナの機能を兼ねるようにしてもよい。この際、アンテナ又は前記硬貨を構成する材料としては、Ag、Au、Al、Cu、Zn、Sn、Ni、Cr、Fe、Co若しくはTi、又はそれらを含む合金を用いることができるが、これらに限定されるものではない。

【0033】

なお、本発明における基板、下地膜等の構成は、上記(1)乃至(3)で述べた本発明に準ずる。

【発明の効果】

【0034】

従来は、シリコンウエハ上に複数の薄膜集積回路を形成し、該シリコンウエハを研磨除去することにより薄膜集積回路を分離する方法が用いられていたのに対し、本発明は、複数の薄膜集積回路が形成された基板から該薄膜集積回路を素子分離する際に、ハロゲン化フッ素を用いた化学的方法を採用することにより、シリコンウエハよりも低コストのガラス基板等を用いることができ、低コストで薄膜集積回路装置等に用いられる薄膜集積回路を作製することができる。また、シリコンウエハとほぼ同じコストの石英基板等を用いた場合であっても、本発明を用いた場合には、基板を再利用することもできるので、この場合にも、低コストで薄膜集積回路装置等に用いられる薄膜集積回路を作製することができる。

【0035】

また、シリコンウエハで作製されたICのように、クラックや研磨痕の原因となるバックグランド処理を行う必要がなく、また、素子の厚さのバラツキも、ICを構成する各膜の成膜時におけるばらつきに依存することになるので、大きくても数百nm程度であり、バックグランド処理による数~数十 μ mのばらつきと比べて飛躍的に小さく抑えることができる。

【0036】

また、複数の薄膜集積回路が形成された基板にストレスを与え、基板を物理的に剥離する物理的方法と比較しても、本発明は、複数の薄膜集積回路が形成された基板から該薄膜集積回路を素子分離する際に、ハロゲン化フッ素を用いた化学的方法を採用しているため、素子分離を確実に行うことができる。

【0037】

また、薄膜集積回路を覆って、下地膜や耐熱性を有する絶縁膜(保護膜)を形成することにより、ハロゲン化フッ素を用いた基板剥離工程において、薄膜集積回路を保護することができ、安定した特性を有する薄膜集積回路を形成することができる。

【0038】

また、ハロゲン化フッ素を用いた基板剥離工程において、薄膜集積回路装置を構成する薄膜集積回路毎に、ジグを仮接着しておくことにより、剥離層を除去した後に各薄膜集積回路がバラバラに分離してしまうのを防止することができる。この際、仮接着剤として、UV光照射によって接着力(粘着力)が低下又は喪失する材料を用いることにより、基板剥離後、ジグを薄膜集積回路から容易に取り外すことができる。

【0039】

従って、本発明を用いることにより、薄膜集積回路装置に用いられる薄膜集積回路、ひいては薄膜集積回路装置や、それを用いた商品等を、低コストで大量に高歩留まり、高スループットで作製することができる。

【発明を実施するための最良の形態】

【0040】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更することができる。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【0041】

(実施形態1)

本発明を用いた薄膜集積回路装置及びその作製方法について、主に図1～3を参照して説明する。まず、基板41上に、剥離層43を形成する。ここでは、石英基板上に、500nmの膜厚のa-Si膜（非晶質シリコン膜）をスパッタ法により形成した。なお、基板としては、石英基板の他にも、ガラス基板、アルミナなど絶縁物質で形成される基板、シリコンウエハ基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板等を用いることができる。この場合、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）（ $x, y = 1, 2, \dots$ ）等、基板側から不純物などの拡散を防止するための下地絶縁膜を形成しておいてもよい。また、ステンレスなどの金属または半導体基板などの表面に酸化シリコンや窒化シリコンなどの絶縁膜を形成した基板なども用いることができる。

【0042】

また、剥離層としては、剥離層としては、非晶質シリコンの他に、多結晶シリコン、単結晶シリコン、SAS（セミアモルファスシリコン（微結晶シリコンともいう。））等、シリコン（Si、珪素）を主成分とする層を用いることができる。これらの剥離層は、スパッタ法の他にも、プラズマCVD法等によって形成しても良い。また、剥離層は500nmよりも薄く形成しても良い。

【0043】

次に、剥離層43上に、下地膜44を形成する。ここでは、100nm（1000Å）の膜厚の SiO_2 膜をスパッタ法によって形成した。なお、下地膜44は、 ClF_3 等のハロゲン化フッ素によるエッチングから、薄膜集積回路を保護する役割を有するものであり、この機能を有するものであれば、他の材料を用いてもよい。例えば、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y 又は SiN_xO_y ）等を用いることができる。または、上記材料からなる膜を積層して下地膜44を形成しても良い。また、スパッタ法に限らず、プラズマCVD法等によって形成しても良い。

【0044】

次に、下地膜44上に薄膜集積回路42、例えば薄膜トランジスタ（TFT）、有機TFT、薄膜ダイオード等を形成する。これらの薄膜集積回路が薄膜集積回路のCPUやメモリ等を構成する。TFTを用いたCPUやメモリ等の薄膜集積回路の作製方法の具体例については、後述する。なお、薄膜集積回路装置は、図16等々に示すように、電源回路、入出力回路（I/Oポートともいう。）、論理回路、CPU、メモリ等からなるが、ここでは、TFTを用いたCPU33と、メモリ34のみを図示した。

【0045】

次に、薄膜集積回路42を保護するために、第1の層間絶縁膜46を形成する。ここでは、窒化珪素膜をプラズマCVD法によって形成したが、これに限定されるものではない。さらに、第2の層間絶縁膜47を形成する。これは、薄膜集積回路を平坦化するものであり、ポリイミド、アクリル、ポリアミドや、シロキサン等の耐熱性有機樹脂を、スピンコート法、ディップ法、スプレー法、液滴吐出法等によって形成することができる。また、無機材料を用いてもよく、その際には、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ膜等を用いることができる。

【0046】

次に、レジストをマスクとしてコンタクトホールをエッチング開孔し、薄膜集積回路同士を接続する配線45及びアンテナ48を形成した。導電材料としては、Ag、Au、Al

1、Cu、Zn、Sn、Ni、Cr、Fe、Co若しくはTi、又はそれらを含む合金を用いることができるが、これらに限定されるものではない。また、配線とアンテナで材料が異なっても良い。なお、配線45及びアンテナ48は、展性、延性に富む金属材料を有するように形成し、更に好ましくは膜厚を厚くして変形による応力に耐えるようにするのが望ましい。

【0047】

また、形成方法としては、スパッタ法によって全面成膜した後、レジストマスクを用いてパターニングを行ってもよいし、液滴吐出法によってノズルから選択的に形成しても良い。なお、ここでいう液滴吐出法には、インクジェット法のみならず、オフセット印刷法やスクリーン印刷等も含まれる。

【0048】

また、薄膜集積回路装置を内蔵する商品が、導電材料を含む場合には、それと同様の導電材料を用いて、アンテナ又は配線を形成しても良い。例えば、硬貨の材料を用いて硬貨の内部にアンテナを形成することができる。この場合、例えば、10円玉に薄膜集積回路装置を埋め込む場合には、銅、亜鉛、スズの合金からなるアンテナを形成すると良い。

【0049】

次に、アンテナ上に、保護膜49を形成する。保護膜49としては、DLC（ダイヤモンドライクカーボン）或いは窒化炭素（CN）等の炭素を有する膜、又は窒化珪素膜或いは窒化酸化珪素膜等を用いることができる。あるいは、ポリイミド、アクリル、ポリアミドや、シロキサン等の耐熱性有機樹脂を用いることができる。また、無機材料を用いてもよく、その際には、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、保護膜を形成しても良い。

。

【0050】

なお、ここでは、薄膜集積回路上に、第1の層間絶縁膜46、第2の層間絶縁膜47、保護膜49の3つの絶縁膜を形成したが、それらの材料は、互いに入れ替えて用いることができる。また、第1及び第2の層間絶縁膜を兼ねて、一層の層間絶縁膜としてもよい。いずれにしても、これらの絶縁膜に用いられる材料としては、後のC1F₃（三フッ化塩素）等のハロゲン化フッ素によるエッチングによって冒されず、かつ耐熱性がある材料を用いるのが望ましい（以上、図1（A））。

【0051】

なお、層間絶縁膜や保護膜としては、弾性の高いポリイミド等の有機材料を用いるのが望ましい。これにより、変形時の応力は、有機材料を有する層間絶縁膜や保護膜に集中し、主にこれらの膜が変形するので、薄膜トランジスタへかかる応力が低減される。また変形が生じる場合に、最も応力が負荷される箇所（エッジ、角）が、半導体膜のエッジではなく下地膜のエッジとなるため、半導体膜のエッジや界面で生じる応力集中を抑えることができる。

【0052】

次に、薄膜集積回路装置50の境界領域に、ダイシングによって溝93を形成する（図1（B））。この際、ダイシング装置（ダイサー；dicer）を用いるブレードダイシング法を用いるのが一般的である。ブレード（blade）とは、ダイヤモンド砥粒を埋め込んだ砥石で、その幅は約30～50μmであり、このブレードを高速回転させることにより、薄膜集積回路を分離する。また、ダイシングに必要なエリアをストリートと呼ぶが、この幅は、素子への損傷を考慮し、80～150μmとしておくのが望ましい。

【0053】

なお、ダイシングの他にも、スクライビング又はマスクを利用したエッチング等を行うことができる。スクライビングの場合には、ダイヤモンドスクライビング法とレーザースクライビング法等がある。また、エッチングの場合には、露光、現像工程によりマスクパターンを形成し、ドライエッチング、ウェットエッチング等により素子分離を行うことができる。ドライエッチングにおいては、大気圧プラズマ法を用いてもよい。

【0054】

なお、溝を形成する場合、溝の深さは、少なくとも剥離層の表面が露出する程度とすればよく、基板41が繰り返し利用できるように、基板に傷が付かないように上記ダイシング等を適宜制御するのが望ましい。

【0055】

次に、突起部58を有するジグ（支持基板）52を、仮接着剤51を介して、薄膜集積回路装置50毎に取り付ける。ここで、ジグ（治具）とは、剥離層を除去した後に薄膜集積回路がバラバラに分離しないように、一時的に薄膜集積回路を固定する役割を有する。ジグの形状としては、図1（C）のように、後にハロゲン化フッ素を含む気体又は液体の導入を容易にするために、突起部を設けた櫛状の構造とするのが望ましいが、図4（C）のように平坦なジグを用いても構わない。突起部を有するジグ（治具、支持基板）を用いる場合には、基板をパターニングして用いればよい。また、ジグとしては、ハロゲン化フッ素によって冒されない酸化珪素を主成分とするガラス基板、石英基板、ステンレス（SUS）基板等を用いることができるが、ハロゲン化フッ素によって冒されない材料であれば、これらに限定されるものではない。また、ジグと薄膜集積回路との間には、仮接着するための接着剤が設けられている。

【0056】

ここで、接着剤としては、UV光照射によって接着力（粘着力）が低下又は喪失する材料を用いることができる。ここでは、日東電工社製UV照射剥離テープを用いた。これ以外にも、3M社製のポストイット（登録商標）製品や、ムーア社製ノートスティックス（登録商標）製品等に用いられる再剥離再接着可能な接着剤を用いても構わない。例えば、特開2001-30403、特許2992092、特開平6-299127に記載された、アクリル系粘着剤、合成ゴム系粘着剤、天然ゴム系粘着剤等を用いることができる。勿論、ジグを簡単に取り外すことができる材料であれば、これらに限定されるものではない。

【0057】

次に、溝93にハロゲン化フッ素ガスを導入することにより、剥離層であるa-Si膜をエッチング除去した（図2（D））。ここでは、図12に示すような減圧CVD装置を用い、ガス： CF_3 （三フッ化塩素）、温度：350℃、流量：300 sccm、気圧：6 Torr、時間：3 hの条件で行ったが、この条件に限定されるものではない。また、 CF_3 ガスに窒素を混ぜたガスを用いてもよい。両者の流量比は適宜設定することができる。

【0058】

ここで、 CF_3 等のハロゲン化フッ素は、珪素を選択的にエッチングするという特性がある反面、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸窒化珪素（ SiO_xN_y ）又は SiN_xO_y ）はほとんどエッチングされない。したがって、時間の経過とともに剥離層はエッチングされ、最終的に基板41を剥離することができる（図2（E））。一方、酸化珪素、窒化珪素、酸窒化珪素等や、耐熱性樹脂からなる下地膜や、層間絶縁膜、保護膜はほとんどエッチングされないため、薄膜集積回路への損傷を防止することができる。なお、剥離した基板41は勿論再利用することができ、コスト削減に繋がる。

【0059】

次に、UV光照射を行うことにより、仮接着剤51の粘着力を低下又は喪失させ、ジグと、薄膜集積回路装置とを分離することにより、薄膜集積回路装置を大量に作製することができる。なお、ジグは、コスト削減のため、再利用するのが望ましい。

【0060】

上記方法によって作製された薄膜集積回路装置50は、小型真空ピンセット13等により、搬送し、所望の製品に備え付けることができる。図3は、商品10に貼付されるIDラベル15の作製方法を示したものである。ラベル11に薄膜集積回路装置12を小型真空ピンセット13により貼り付け、接着剤14で封止し、IDラベル15が完成する。さらに、商品10にIDラベル15を付して、リーダ/ライタ等によって情報を認識、更新

、管理しうる商品が完成する。

【0061】

(実施形態2)

本実施形態では、溝93を形成するにあたり、ドライエッチング法を用いる場合について、図4を用いて説明する。図4(A)において、図1(A)の状態までは、実施形態1と同様である。その後、現像、露光工程を経て、基板上にレジスト54を形成し、レジスト54をマスクとして、ドライエッチングにより溝93を形成し、素子分離を行う(図4(A))。ここでは、プラズマエッチングを採用し、エッチング用ガスとしては、 Cl_2 、 BCl_3 、 $SiCl_4$ もしくは CCl_4 などを代表とする塩素系ガス、 CF_4 、 SF_6 、 NF_3 、 CHF_3 などを代表とするフッ素系ガス、あるいは O_2 を用いたが、これらに限定されるものではない。なお、該エッチングは、大気圧プラズマを利用して行うこともできる。この際、エッチングガスとしては、 CF_4 と O_2 の混合ガスを用いるのがよい。また、ガス種の異なるエッチングを複数回行うことによって溝93を形成しても良い。

【0062】

次に、仮接着剤51を介して、ジグ55を薄膜集積回路装置に取り付け、 ClF_3 等のハロゲン化フッ素によって、剥離層を除去し、最終的に基板41を剥離した(図4(B))。具体的な方法は、実施形態1と同様である。なお、ジグ55として、ここでは、突起部を特に設けていない基板を用いたが、勿論、突起部を有した基板を用いてもよい。

【0063】

次に、UV光照射を行うことにより、仮接着剤51の粘着力を低下又は喪失させ、ジグ55と、薄膜集積回路装置とを分離することにより、薄膜集積回路装置を大量に作製することができる。上記方法によって作製された薄膜集積回路装置50は、小型真空ピンセット等により、搬送し、所望の製品に備え付けることができる。

【0064】

(実施形態3)

ダイシング等によって溝93を形成する際に、基板41に傷が付いた場合、その基板を再利用する場合について説明する。第1の方法として、図5(A)に示すように、使用済み基板56上に平坦化膜57を形成する。平坦化膜としては、ポリイミド、アクリル、ポリアミドや、シロキサン等の耐熱性樹脂を、スピンコート法、ディップ法、スプレー法、液滴吐出法等によって形成することができる。後工程の熱処理を考慮すれば、シロキサン等の耐熱性樹脂を用いることが望ましい。また、無機材料を用いてもよく、その際には、PSG(リンガラス)、BPSG(リンボロンガラス)、アルミナ膜等を用いることができる。その後の工程は、実施形態1又は2と同様である。

【0065】

第2の方法として、図6(A)に示すように、CMP(機械的化学的研磨)法を用いて、基板表面を平坦化する方法がある。使用済み基板56の傷が微細である場合には特に有効である。CMP法は、研磨用パッド308内にスラリー(307)と呼ばれる研磨溶剤を供給し、ウエハキャリア306の回転とプラテンと呼ばれる回転台の回転による加圧と、研磨用パッドの研磨によって平坦化を行うものである。基板は、ガラス基板のように絶縁体であるので、スラリー307としては、アルカリ性のコロイド状シリカを混ぜたものが主に用いられる。その後の工程は、実施形態1又は2と同様である。

【0066】

(実施形態4)

上記実施形態では、薄膜集積回路の作製工程において、アンテナを形成したが、本実施形態では、基板上に作製されたアンテナと、複数の薄膜集積回路からなる集積回路を別々に作製し、その後両者を接続する方法について、図7～図10を参照して説明する。

【0067】

第1の方法は、図7に示すように、折り曲げ可能なフレキシブル基板69上に、アンテナ68を形成し、別途形成した集積回路25をアンテナと接続した後に、フレキシブル基板69を半分に折りたたみ、封止して薄膜集積回路装置を作製するというものである。こ

ここで、アンテナ 68 は、スパッタ法等によって形成した後にパターンニング形成しても良いし、液滴吐出法を用い、導電材料を含む組成物を選択的に吐出した後に、該組成物を乾燥、焼成することにより形成しても良い。

【0068】

なお、アンテナを形成した後に、図 6 に示す、CMP 法、プレス法、エッチバック法等により、平坦化を向上させても良い。CMP 法の場合には、アンテナは導電性材料からなるので、スラリーとしては、酸性溶液にアルミナの微粉末を混ぜたものを用いるのがよい。また、プレス法の場合には、ヒーター 301 等の加熱機構を備えた装置によってプレスを行うのがよい。また、エッチバック法では、絶縁膜 309 を平坦に形成した後に、エッチングを行って、平坦化するものである。なお、これらの平坦化処理工程は、薄膜集積回路の作製工程において用いることもできる。

【0069】

アンテナには、アンテナ同士を接続する接続部 98 や、アンテナと集積回路を接続する接続部 99 を、アンテナ形成時に形成しておいても良い。また、集積回路との接続部 99 は、アンテナを形成した後に、アンテナの一部を切断することによって形成しても良い。なお、集積回路とアンテナとの接続は、異方性導電膜や、公知のボンディング法等を用いて行うことができる。また、アンテナの形状は、折り畳んだときに対称でコイル状であれば、図 7 に示す形状に限定されない。

【0070】

アンテナ基板に挟まれる集積回路 25 は、図 16 に示すように、電源回路 26、入出力回路 (I/O ポート) 27、論理回路 28、メモリ 29、CPU 30 等に、リーダー/ライタ 136 との電波のやりとりを行うアンテナ回路が接続された構成を有している。

【0071】

なお、図 8 は、図 7 の X-Y 断面から見たアンテナ基板折り畳みの状態を示した図である。ここでは、アンテナ 20 をパターンニング形成する際に用いたレジスト 23 をアッシング等によって除去してしまわずに、残存させた。さらに、平坦化膜 60 をスピコート法、ディップ法、スプレー法、液滴吐出法等によって形成し、平坦化を行った。さらに、集積回路 25 (IC チップ) との接続部を確保するために、レジスト 61 をマスクとして、エッチング又はアッシングを行い、コンタクト部 62 を形成した。さらに、異方性導電膜 63 を介して集積回路 25 を形成し、シール剤 64 を介して、アンテナが形成されたフレキシブル基板 19 を折り畳み、薄膜集積回路装置 66 を完成させた。この際、対向するアンテナ同士の間配線等を設けてアンテナ同士を接続しても良い。ここで、レジスト 23 や平坦化膜 60 は、基板を折り畳んだ際に、アンテナや集積回路を保護するクッションの役割を果たす。なお、レジスト 23 や平坦化膜 60 は、一方又は両方を省略することもできる。

【0072】

第 2 の方法は、図 9 に示すように、基板 69 上にアンテナ 68 を複数形成しておき、基板 69 をダイシング等によって切り出し、アンテナ基板の間に集積回路 25 を挟む方法である。ここで、接続部 21 は、アンテナ同士を接続するために用いてもよいし、集積回路とアンテナとを接続するのに用いてもよい。また、接続部 21 は、アンテナの他の箇所にも形成しても良い。なお、基板同士を貼り合わせる際に、アライメントマーカを設ける必要があるが、該接続部 21 をマーカとしても良い。

【0073】

第 3 の方法は、図 10 に示すように、二方が閉じられた食品を包装するラップ状のフレキシブル基板 70 や、三方が閉じられた封筒状のフレキシブル基板 74 に、アンテナ 71 を両面に形成しておき、その間に集積回路 25 (IC チップ) を挿入し、接着剤で封止するという方法である。接続部 21 は開孔されており、アンテナ同士、又はアンテナと集積回路が接続することができる。IC チップは小型真空ピンセット等で設置すればよい。なお、アンテナは、これらの基板の内側に形成しておいても良い。

【0074】

以上、本実施形態で述べた薄膜集積回路装置の作製方法は、特に、アンテナ基板と、集積回路（ICチップ）とを別々の製造者が作製し、中間生成品（部品）として流通させる場合に適した方法である。

【0075】

（実施形態5）

本実施形態では、図11を参照して、素子基板75に仮接着したジグ76を取り外さずに、直接、商品84等に接着する方法について説明する。まず、実施形態1～3の要領で、素子基板75を形成し、仮接着剤81を介してジグ76を取り付ける。ジグ76としては、図11に示すように、突起部77を有するものを用いた。仮接着剤としては、ここでは、UV光照射によって粘着力が低下又は喪失する材料を用いる。また、素子への損傷を防ぐために、有機材料又は無機材料からなる層間膜79を設けている。そして、 ClF_3 等のハロゲン化フッ素によるエッチングにより、素子分離を行う。

【0076】

次に、ジグ76に素子が仮接着された状態で搬送し、IDカード等の商品84が設置されたステージとのアライメントを行う。この際、図11（A）に示すように、ジグや、ステージに設けられたアライメントマーカを利用することもできるし、図示しないが、商品84に形成されたマーカを利用することもできる。商品84内の薄膜集積回路装置が形成される部分には、予め接着剤85が形成されており、ジグを制御することにより、所望の素子を商品の所望の箇所に貼り付ける（図11（A））。

【0077】

次に、商品84に貼り付けたい素子に、マスクを介してUV光86を選択的に照射し、仮接着剤81の粘着力を低下又は喪失させることにより、ジグを素子とを分離する（図11（B））。これにより、所望の素子（集積回路87）を商品の所望の箇所に形成することができる。素子形成後、カバー88等により、素子部をカバーする（図11（C））。なお、ここでは、商品84の内部にアンテナが形成された場合を示したが、素子部にアンテナを形成しておいても良い。

【0078】

本実施形態に示した本発明を用いることにより、 ClF_3 等のハロゲン化フッ素によるエッチングにより素子分離を行った際、素子がバラバラに分離することなく、所望の素子を所望の箇所に形成することができる。

【実施例1】

【0079】

本実施例では、図13、14を参照して、薄膜集積回路装置の集積回路部の具体的な作製方法について説明する。ここでは、簡単のため、n型TFETとp型TFETを用いたCPUとメモリの作製方法について説明する。

【0080】

まず、基板41上に、剥離層43と、下地膜44を形成する（図13（A））。これらの材料や作製方法は、上記実施形態に述べたものを採用することができる。

【0081】

次に、下地膜44上に、島状半導体膜100を形成する（図13（B））。島状半導体膜100は、アモルファス半導体、結晶性半導体、又はセミアモルファス半導体で形成する。いずれも、シリコン、シリコン・ゲルマニウム（SiGe）等を主成分とする半導体膜を用いることができる。

【0082】

ここでは、70nmの膜厚のアモルファスシリコンを形成し、さらにその表面を、ニッケルを含む溶液で処理した後、500～750℃の熱結晶化工程によって結晶質シリコン半導体膜を得、さらにレーザー結晶化を行って結晶性の改善を施した。また、成膜方法としては、プラズマCVD法、スパッタ法、LPCVD法などを用いても良いし、結晶化方法としては、レーザー結晶化法、熱結晶化法、他の触媒（Fe, Ru, Rh, Pd, Pd, Os, Ir, Pt, Cu, Au等）を用いた熱結晶化、あるいはそれらを交互に複数回

行っても良い。

【0083】

また、非晶質構造を有する半導体膜の結晶化処理としては、連続発振のレーザーを用いても良く、結晶化に際し大粒径の結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd:YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用すればよい。連続発振のレーザーを用いる場合には、出力10Wの連続発振のYVO₄レーザーから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、10～2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。

【0084】

上記の方法によって結晶性シリコン半導体膜を得た後、半導体膜上に酸化膜を介して、金属触媒をゲッタリングするためのアモルファスシリコン膜を成膜し、500～750℃の熱処理によってゲッタリング処理を行った。さらに、TFE素子としての閾値を制御するために、結晶性シリコン半導体膜に対し、10¹³/cm²オーダーのドーザ量のホウ素イオンを注入した。その後、レジストをマスクとしてエッチングを行うことにより、島状半導体膜100を形成した。

【0085】

なお、結晶性半導体膜を形成するにあたっては、ジシラン（Si₂H₆）とフッ化ゲルマニウム（GeF₄）の原料ガスとして、LPCVD（減圧CVD）法によって、多結晶半導体膜を直接形成することによっても、結晶性半導体膜を得ることができる。ガス流量比は、Si₂H₆/GeF₄=20/0.9、成膜温度は400～500℃、キャリアガスとしてHe又はArを用いたが、これに限定されるものではない。

【0086】

次に、ゲート電極層上にゲート絶縁膜106を形成する（図13（B））。ゲート絶縁膜はプラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素又は酸化窒化珪素を含む膜を、単層で、又は積層させて形成することが好ましい。積層する場合には、例えば、基板側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのがよい。

【0087】

次に、ゲート電極層103を形成する（図13（C））。ここでは、30nmの膜厚のTa₂N（窒化タンタル）と、370nmの膜厚のW（タングステン）をスパッタ法により積層形成した後に、レジスト104をマスクとしてエッチングを行うことにより、ゲート電極層103を形成した。ここで、レジストマスクの代わりに、SiO_x等のマスクを用いてもよい。この場合、SiO_x、SiON等のマスク（ハードマスクと呼ばれる。）をパターンニング形成工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅のゲート電極層を形成することができる。勿論、ゲート電極層103の材料、構造、作製方法は、これに限定されるものではなく、適宜選択することができる。例えば、レジスト104を用いずに、液滴吐出法を用いて選択的にゲート電極層103を形成しても良い。

【0088】

なお、導電材料としては、導電膜の機能に応じて種々の材料を選択することができるが、代表的なものとして、銀（Ag）、銅（Cu）、金（Au）、ニッケル（Ni）、白金（Pt）、クロム（Cr）、スズ（Sn）、パラジウム（Pd）、イリジウム（Ir）、ロジウム（Rh）、ルテニウム（Ru）、レニウム（Re）、タングステン（W）、アルミニウム（Al）、タンタル（Ta）、インジウム（In）、テルル（Te）、モリブデン（Mo）、カドミウム（Cd）、亜鉛（Zn）、鉄（Fe）、チタン（Ti）、シリコン

(Si)、ゲルマニウム(Ge)、ジルコニウム(Zr)、バリウム(Ba)、アンチモン鉛、酸化スズ・アンチモン、フッ素ドーパ酸化亜鉛、炭素、グラファイト、グラッシーカーボン、リチウム、ベリリウム、ナトリウム、マグネシウム、カリウム、カルシウム、スカンジウム、マンガン、ジルコニウム、ガリウム、ニオブ、ナトリウム、ナトリウム-スカンジウム合金、マグネシウム/銅混合物、マグネシウム/銀混合物、マグネシウム/アルミニウム混合物、マグネシウム/インジウム混合物、アルミニウム/酸化アルミニウム混合物、リチウム/アルミニウム混合物等、ハロゲン化銀の微粒子等、又は分散性ナノ粒子、あるいは、透明導電膜として用いられる酸化インジウムスズ(ITO: Indium Tin Oxide)、ITSO、酸化亜鉛(ZnO: Zinc Oxide)、ガリウムを添加した酸化亜鉛(GZO)、酸化インジウムに2~20%の酸化亜鉛を混合した酸化インジウム亜鉛(IZO: Indium Zinc Oxide)、有機インジウム、有機スズ、窒化チタン等を適宜採用することができる。

【0089】

なお、ゲート電極層をエッチング形成する際のエッチングガスとしては、 $\text{CF}_4/\text{Cl}_2/\text{O}_2$ の混合ガスや Cl_2 ガスを用いたが、これに限定されるものではない。

【0090】

次に、p型TF T109、111となる部分をレジスト118で覆い、ゲート電極層をマスクとして、n型TF T108、110の島状半導体膜に、n型を付与する不純物元素119(代表的にはP(リン)又はAs(砒素))を低濃度にドーピングする(第1のドーピング工程、図13(D))。第1のドーピング工程の条件は、ドーピング量: $1 \times 10^{13} \sim 6 \times 10^{13} / \text{cm}^2$ 、加速電圧: $50 \sim 70 \text{ keV}$ としたが、これに限定されるものではない。この第1のドーピング工程によって、ゲート絶縁膜102を介してスルードーピングがなされ、一対の低濃度不純物領域120が形成される。なお、第1のドーピング工程は、p型TF T領域をレジストで覆わずに、全面に行っても良い。

【0091】

次に、レジスト118をアッシング等により除去した後、n型TF T領域を覆うレジスト121を新たに形成し、ゲート電極層をマスクとして、p型TF T109、111の島状半導体膜に、p型を付与する不純物元素122(代表的にはB(ホウ素))を高濃度にドーピングする(第2のドーピング工程、図13(E))。第2のドーピング工程の条件は、ドーピング量: $1 \times 10^{16} \sim 3 \times 10^{16} / \text{cm}^2$ 、加速電圧: $20 \sim 40 \text{ keV}$ として行う。この第2のドーピング工程によって、ゲート絶縁膜102を介してスルードーピングがなされ、一対のp型の高濃度不純物領域123が形成される。

【0092】

次に、レジスト121をアッシング等により除去した後、基板表面に、絶縁膜105を形成した(図14(F))。ここでは、膜厚100nmのSiON(酸化窒化珪素)膜と、膜厚200nmのLTO膜(Low Temperature Oxide、低温酸化膜)の2層構造とした。ここでは、SiON膜は、プラズマCVD法で形成し、LTO膜としては、 SiO_2 膜を減圧CVD法で形成した。その後、図示しないが、基板のTF Tが形成された側をレジストで覆い、基板の裏面に形成された絶縁膜をエッチング除去した(裏面処理)。

【0093】

次に、レジストを残したまま、エッチバック法により、レジスト及び絶縁膜115をエッチング除去し、サイドウォール(側壁)106を自己整合的(セルフアライン)に形成した(図14(G))。エッチングガスとしては、 CHF_3 とHeの混合ガスを用いた。なお、サイドウォールを形成する工程は、これらに限定されるものではない。

【0094】

次に、p型TF T領域を覆うレジスト124を新たに形成し、ゲート電極層103及びサイドウォール106をマスクとして、n型を付与する不純物元素125(代表的にはP又はAs)を高濃度にドーピングする(第3のドーピング工程、図14(H))。第3のドーピング工程の条件は、ドーピング量: $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ 、加速電圧: $60 \sim 100 \text{ keV}$ として行う。この第3のドーピング工程によって、ゲート絶縁膜102を介し

てスルードープがなされ、一対のn型の高濃度不純物領域126が形成される。

【0095】

なお、図示しないが、レジスト124をアッシング等により除去した後、不純物領域の熱活性化を行っても良い。例えば、50nmのSiON膜を成膜した後、550℃、4時間、窒素雰囲気下において、加熱処理を行えばよい。また、水素を含むSiNx膜を、100nmの膜厚に形成した後、410℃、1時間、窒素雰囲気下において、加熱処理を行うことにより、結晶性半導体膜の欠陥を改善することができる。これは、例えば、結晶性シリコン中に存在するダングリングボンドを終端させるものであり、水素化処理工程などと呼ばれる。さらに、この後、TFTを保護するキャップ絶縁膜として、膜厚600nmのSiON膜を形成する。なお、水素化処理工程は、該SiON膜形成後に行っても良い。この場合、SiNx\SiON膜は連続成膜することができる。このように、TFT上には、SiON\SiNx\SiONの3層の絶縁膜が形成されることになるが、その構造や材料はこれらに限定されるものではない。また、これらの絶縁膜は、TFTを保護する機能をも有しているため、できるだけ形成しておくのが望ましい。

【0096】

次に、TFT上に、層間膜107を形成する(図14(I))。ポリイミド、アクリル、ポリアミドや、シロキサン等の耐熱性有機樹脂を用いることができる。形成方法としては、その材料に応じて、スピンコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。また、無機材料を用いてもよく、その際には、PSG(リンガラス)、BPSG(リンボロンガラス)、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、層間膜107を形成しても良い。

【0097】

次に、レジストを形成した後、エッチングによりコンタクトホールを開孔し、配線128及びアンテナ48を形成する(図14(I))。コンタクトホール開孔時のエッチングに用いられるガスは、CHF₃とHeの混合ガスを用いたが、これに限定されるものではない。

また、配線128とアンテナ48は同一材料を用いて同時に形成しても良いし、別々に形成しても良い。ここでは、TFTと接続される配線128は、Ti\TiN\Al-Si\Ti\TiNの5層構造とし、スパッタ法によって形成した後、パターンニング形成した。

【0098】

なお、Al層において、Siを混入させることにより、配線パターンニング時のレジストバークにおけるヒロックの発生を防止することができる。また、Siの代わりに、0.5%程度のCuを混入させても良い。また、TiやTiNでAl-Si層をサンドイッチすることにより、耐ヒロック性がさらに向上する。なお、パターンニング時には、SiON等からなる上記ハードマスクを用いるのが望ましい。なお、配線の材料や、形成方法はこれらに限定されるものではなく、前述したゲート電極層に用いられる材料を採用しても良い。また、アンテナ48を形成する際には、上記実施の形態に示した、種々の材料、方法を用いることができる。配線とアンテナは、同時に形成しても良いし、一方を先に形成した後、他方が乗り上げるように形成しても良い。

【0099】

次に、配線及びアンテナ上に、保護膜49を形成し、CPU33及びメモリ34が完成する(図14(J))。保護膜49としては、DLC(ダイヤモンドライクカーボン)或いは窒化炭素(CN)等の炭素を有する膜、又は窒化珪素膜或いは窒化酸化珪素膜等を用いることができる。形成方法としては、プラズマCVD法や、大気圧プラズマ等を用いることができる。

【0100】

あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の

感光性又は非感光性の有機材料や、シロキサン等の耐熱性有機樹脂、を用いることができる。形成方法としては、その材料に応じて、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。あるいは、塗布法により得られる SOG 膜（例えば、アルキル基を含む SiO_x 膜）を用いることもできる。また、無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸窒化珪素、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、保護膜 49 を形成しても良い。

【0101】

その後、本実施例によって作製された複数の TFT は、上記実施の形態に示す要領で IC チップ毎に分離され、商品等に組み込むことができる。なお、本実施例では、トップゲート構造としたが、ボトムゲート構造（逆スタガ構造）としてもよい。

【実施例 2】

【0102】

本実施例では、実施例 1 のプロセスにおいて、高温ポリシリコン（HPS）を採用した場合について説明する。一般に、ガラス基板の耐熱温度（約 600°C ）以上の結晶化プロセスを含む半導体プロセスを、高温プロセスと呼ぶ。高温プロセスにおいては、基板としては、石英基板やセラミック（SUS）基板等を用いる。

【0103】

実施例 1 において、半導体膜を形成した後に、Ni 等の上記触媒を添加し、LPCVD 炉において加熱処理を行う。約 700°C 以上で、半導体膜中に結晶核が発生し、結晶化が進行する。

【0104】

その後、島状半導体膜を形成した後、LPCVD によって、ゲート絶縁膜を形成する。例えば、シラン系ガスに N_2 や O_2 を混合させたガスを用い、 900°C 以上の高温で、HTO 膜（High Temperature Oxide）を形成する。

【0105】

次に、リン等の n 型不純物を含むポリシリコン（p-Si）を 150nm の膜厚で成膜することにより、ゲート電極層を形成する。さらに、W-Si（タングステンシリサイド）を 150nm の膜厚で成膜してもよい。形成方法は、スパッタ法、CVD 法等を適宜採用することができる。その後のドーピング工程は、実施例 1 と同様に形成することができる。

【0106】

ドーピング工程の後、 950°C 、30 分の熱活性化を行い、不純物領域を活性化させる。さらに、BPSG（リンボロンガラス）を用いてリフローを行い、レジストを用いたエッチバック法により、平坦化を行う。さらに、 350°C の水素化アニールを行い、プラズマダメージを回復させる。

【0107】

その他の工程は、実施例 1 と同様に行うことができる。なお、本実施例では、トップゲート構造としたが、ボトムゲート構造（逆スタガ構造）としてもよい。なお、本実施例は、他の実施形態、実施例と自由に組み合わせることができる。

【実施例 3】

【0108】

本実施例では、実施例 1 のプロセスにおいて、島状半導体膜 100 として、SAS（セミアモルファスシリコン）を採用した場合について説明する。SAS は、珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、 SiH_4 であり、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることができる。この珪化物気体を水素、水素とヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して用いることで SAS の形成を容易なものとすることができる。希釈率は 10 倍～1000 倍の範囲で珪化物気体を希

積することが好ましい。勿論、グロー放電分解による被膜の反応生成は減圧下で行うが、圧力は概略 $0.1 \text{ Pa} \sim 133 \text{ Pa}$ の範囲で行えば良い。グロー放電を形成するための電力は $1 \text{ MHz} \sim 120 \text{ MHz}$ 、好ましくは $13 \text{ MHz} \sim 60 \text{ MHz}$ の高周波電力を供給すれば良い。基板加熱温度は 300 度以下が好ましく、 $100 \sim 200$ 度の基板加熱温度が推奨される。

【0109】

また、珪化物気体中に、 CH_4 、 C_2H_6 などの炭化物気体、 GeH_4 、 GeF_4 などのゲルマニウム化気体を混入させて、エネルギーバンド幅を $1.5 \sim 2.4 \text{ eV}$ 、若しくは $0.9 \sim 1.1 \text{ eV}$ に調節しても良い。

【0110】

また、SAS は、価電子制御を目的とした不純物元素を意図的に添加しないときに弱い n 型の電気伝導性を示す。これは、アモルファス半導体を成膜するときよりも高い電力のグロー放電を行うため酸素が半導体膜中に混入しやすいためである。そこで、TF T のチャネル形成領域を設ける第 1 の半導体膜に対しては、 p 型を付与する不純物元素を、この成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。 p 型を付与する不純物元素としては、代表的には硼素であり、 B_2H_6 、 BF_3 などの不純物気体を $1 \text{ ppm} \sim 1000 \text{ ppm}$ の割合で珪化物気体に混入させると良い。例えば、 p 型を付与する不純物元素としてボロンを用いる場合、該ボロンの濃度を $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ とすると良い。なお、上記 SAS でチャネル形成領域を構成することにより $1 \sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。なお、本実施例は、他の実施形態、実施例と自由に組み合わせることができる。

【実施例 4】

【0111】

本実施例では、図 15 を参照して、実施例 1 に示した集積回路部の構造とは異なる構造について説明する。

【0112】

図 15 (A) は、アンテナ 112 をゲート電極層 103 と同一層（同一レイヤー）に形成する例を示している。すなわち、ゲート電極層の材料を用いて、ゲート電極層形成と同時に所望の形状にエッチングしたり、印刷法により導電ペースト（具体的には Ag 、 Au 、 Cu 、 Al ペースト）を用いて形成したり、ゲート絶縁膜に凹部を形成しアンテナ材料を流し込んで形成することができる。

【0113】

図 15 (B) は、層間膜 115 上にアンテナ 114 を形成する場合に、上部配線 113 によって、アンテナと TF T とを接続する例を示している。上部配線 113 の材料としては、実施例 1 に示したのから適宜採用することができる。このように、高さ方向に配線を形成することにより、素子の微細化を図ることができる。

【0114】

図 15 (C) は、CPU、メモリ等の薄膜集積回路を積層させた構造を示している。この場合、各薄膜トランジスタ上に形成されている層間絶縁膜 115 は、すべて弾性の高い有機材料を有するように形成するのが望ましい。例えば、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン等の耐熱性有機樹脂、を用いることができる。形成方法としては、その材料に応じて、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。これにより、変形時の応力は、有機材料を有する層間絶縁膜や保護膜に集中し、主にこれらの膜が変形するので、薄膜トランジスタへかかる応力が低減される。なお、本実施例は、他の実施形態、実施例と自由に組み合わせることができる。

【実施例 5】

【0115】

本実施例では、図16～18を参照して、本発明に係る薄膜集積回路装置（IDラベル）を搭載した商品の管理方法及び情報や商品の流れについて説明する。なお本実施の形態では、IDラベルは非接触型である場合で説明する。

【0116】

図16に示すように、製造者からの商品出荷前又は販売者による商品陳列前に商品管理に必要な情報をホストコンピュータに入力する。例えば、IDラベル15が搭載された複数の商品10（又はそれらが梱包された箱、段ボール等）を、ベルトコンベアのような搬送手段19によって、リーダ／ライタ16にくぐらせ、コンピュータ137へ商品に関する情報を入力させる。このとき、コンピュータに直接リーダ／ライタを接続しておくこともできる。

【0117】

IDラベル15に記録される多量の商品に関する情報は即座にコンピュータ137へ入力することができる。そしてコンピュータは、商品に関する情報を処理する機能を有するソフトを備えている。もちろんハードで情報処理を行ってもよい。その結果、従来のようにバーコードを一つずつ読み取る作業と比較して、情報処理に費やす時間、労力やミスが低減され、商品管理への負担が軽減される。

【0118】

ここで、非接触型薄膜集積回路装置を用いた通信原理を、図18を参照して簡単に説明する。非接触型薄膜集積回路装置を有する商品等を、リーダ／ライタ136にかざすことにより、非接触型薄膜集積回路装置132内のアンテナ回路が、リーダ／ライタ136のアンテナ回路から発信される電波を受信し、電源回路26において、共振作用により起電力が発生（電磁誘導等）する。そして、非接触型薄膜集積回路装置132内の集積回路25（ICチップ）が起動し、チップ内の情報を信号化した後、カード側のアンテナ回路から信号を発信する。該信号をリーダ／ライタ136のアンテナ回路でキャッチし、コントローラ135を介してデータ処理を行うホストコンピュータ137へ送信される。なお、ホストコンピュータがリーダ／ライタ手段を有していても構わない。また、ICチップのアンテナ回路部は、RF（無線）インタフェース130と、非接触インタフェース131とを、リーダ／ライタのアンテナ回路部は非接触インタフェース61と、インタフェース回路62とを有しているが、この構成に限定されるものではない。

【0119】

メモリ29にはROM（Read Only Memory）、RAM（Random Access Memory）、PROM、EPROM又はEEPROM（Electrically Erasable and Programmable Read Only Memory）、FRAM（FeRAM; Ferroelectric Random Access Memory）等が利用される。PROMやEPROMの場合はカードを発行する時以外は書込みができないが、EEPROMは書き換えが可能である。これらメモリは、用途に応じて選択すればよい。

【0120】

電源回路26は、例えばダイオードと、容量とを有する構成であればよく、アンテナが受信する交流周波数を直流に変換する機能を有している。

【0121】

非接触型のICの特徴は、コイル状に巻かれたアンテナの電磁誘導作用（電磁誘導方式）、相互誘導作用（電磁結合方式）又は静電気による誘導作用（静電結合方式）により電力が供給される点である。このアンテナの巻き数を制御することにより、受信する周波数の高さを選ぶことができる。

【0122】

なお、図示しないが、暗号処理専用のコプロセッサと呼ばれる演算装置をCPUに接続しても良い。これにより、決済等のアプリケーションを行う際に必要となる暗号処理を行うことができる。

【0123】

また、生産（製造）者、販売者、及び消費者間の情報や商品の流れを図17に示す。生産（製造）者は販売者（小売業者、卸業者等）又は消費者に薄膜集積回路装置搭載の商品

を提供する。そして販売者は、例えば消費者の精算時に料金情報、商品の売れ個数や購入時間等の販売情報を生産（製造）者に提供することができる。一方消費者は、個人情報等の購入情報を提供することができる。例えば、薄膜集積回路装置搭載のクレジットカード、又は個人のリーダ等により購入情報を販売者や生産（製造）者へネットを介して提供できる。また、販売者は、薄膜集積回路装置により、消費者に商品情報の提供し、販売者は消費者から購入情報を得ることができる。このような販売情報や購入情報等は、貴重な情報であり、今後の販売戦略に役立つ。

【0124】

各種情報を提供する手段としては、薄膜集積回路装置から販売者や消費者の有するリーダが読み取った情報をコンピュータやネットワークを介して、その情報を生産（製造）者、販売者又は消費者に開示する方法がある。以上のような、多種多様な情報が薄膜集積回路装置を介して必要な者へ提供することができ、本発明に係る薄膜集積回路装置は商品取引又は商品管理上でも有用である。

【実施例6】

【0125】

本実施例では、図19を参照して、本発明に係る薄膜集積回路装置（IDラベル）搭載の商品において、情報を読み取る方法について説明する。なお本実施の形態では、IDラベルは非接触型である場合で説明する。

【0126】

図19（A）に示すようなリーダ／ライタ本体170のセンサー部171に、IDラベルが搭載された商品172をかざす。そして表示部には、商品の原材料や原産地、生産（製造）工程ごとの検査結果や流通過程の履歴等が表示され、更に商品の説明等の商品に関する情報を表示させる。もちろんリーダ／ライタに表示部を必ず設ける必要はなく、別に設けられてもよい。このようなリーダ／ライタは商品が陳列されている棚に設置しておけばよい。

【0127】

また図19（B）に示すように、個人が所有する携帯情報端末、例えば携帯電話機本体180に、リーダ機能を搭載させ、本体の一部に設けられたセンサー部181にIDラベルが搭載された商品172をかざし、表示部183に情報を表示させる。すると同様に、商品に関する情報が表示される。もちろんリーダ／ライタに表示部を必ず設ける必要はなく、別に設けられてもよい。

【0128】

また図19（C）に示すように、個人が所有する携帯可能なリーダ190のセンサー部191にIDラベルが搭載された商品172をかざし、表示部193に情報を掲載させる。すると同様に、商品に関する情報が表示される。もちろんリーダ／ライタに表示部を必ず設ける必要はなく、別に設けられてもよい。

【0129】

本実施の形態では非接触型のリーダ／ライタについて説明したが、接触型であっても表示部に情報を表示させればよい。また非接触型又は接触型の薄膜集積回路装置が搭載される商品自体に表示部を設け、情報を表示させても構わない。

【0130】

このように、従来の無線タグ等により提供される情報と比べて、消費者は商品に関する豊富な情報を自由に入手することができる。勿論、薄膜集積回路装置により商品管理を素早く正確に行うことができる。

【0131】

なお、本発明に係る非接触型の薄膜集積回路は、カードリーダ／ライタとの距離が～2mmである遠隔型、～70cmである近傍型、～10cmである近接型、数cmである密着型とすることができ、生産、製造現場での作業を考えると近傍型又は密着型が好ましい。

【0132】

周波数は、遠隔型ではマイクロ波、2.45GHz、近傍型及び近接型では、13.56MHz、密着型では4.91MHz、125kHzが一般的に使用されているが、周波数を高め波長を短くすることによりアンテナの巻き数を小さくできる。

【0133】

また非接触型薄膜集積回路は接触型薄膜集積回路と比較すると、リーダ／ライタに接触せず、非接触で電源供給及び情報通信を行うため、破損せず、高い耐久性を有し、静電気等によるエラーの心配がない。更にはリーダ／ライタ自体の構成は複雑にならず、薄膜集積回路をリーダ／ライタにかざせばよいので、取り扱いが容易である。

【実施例7】

【0134】

本実施例では、図20、21を参照して、本発明に係る薄膜集積回路、又は非接触型薄膜集積回路装置（IDラベル）を搭載した商品の一例について説明する。

【0135】

図20（A）は、薄膜集積回路装置201を内蔵した紙幣、証券、チケット、T/C（トラベラーズチェック）、硬貨、コイン、メダル等の物品を示している。図20（B）は、薄膜集積回路装置204を内蔵した住民票、戸籍謄本等の書類を示している。図20（C）は、薄膜集積回路装置204をブックカバーに内蔵した書籍を示している。

【0136】

本発明に係る非接触型又は接触型の薄膜集積回路は非常に薄いため、上記紙幣、コイン、書類、書籍等の物品に薄膜集積回路を搭載しても、機能、デザイン性を損ねることがない。更に非接触型薄膜集積回路の場合、アンテナをICとを一体形成でき、曲面を有する商品に直接転写することが容易になる。

【0137】

図21（A）は、非接触型薄膜集積回路装置209を内蔵したカプセル207を示している。カプセル207の内部には、コイル上のアンテナ208が形成されており、外部のリーダ／ライタによって通信を行うことができる。例えば、人間や動物に、カプセル207を服用させることにより、その人間や動物の健康状態等の情報を即座に入手することができる。

【0138】

図21（B）は、薄膜集積回路装置211を内蔵した絆創膏210を示している。このように、様々な医療器具等にも、本発明を用いることができる。

【0139】

図21（C）は、薄膜集積回路装置214を内蔵したIDタグ213を示している。IDタグ213を商品に備え付けることにより、商品管理が容易になる。例えば、商品が盗難された場合に、商品の経路を辿ることによって、その犯人を迅速に把握することができる。このように、IDタグを備えることにより、所謂トレーサビリティ（traceability；複雑化した製造、流通の各段階で問題が生じた場合に、経路を遡ることによって、その原因を迅速に把握できる態勢を整えること。）に優れた商品を流通させることができる。

【0140】

図21（D）は、薄膜集積回路装置216を内蔵したIDラベル215を示している。IDラベル上には、その商品や役務に関する情報（商品名、ブランド、商標、商標権者、販売者、製造者等）が記されており、一方、内蔵されている薄膜集積回路装置には、その商品（又は商品の種類）固有のIDナンバーが付されており、偽造や、商標権、特許権等の知的財産権侵害、不正競争等の不法行為を容易に把握することができる。また、薄膜集積回路装置内には、商品の容器やラベルに明記しきれない多大な情報、例えば、商品の産地、販売地、品質、原材料、効能、用途、数量、形状、価格、生産方法、使用方法、生産時期、使用時期、賞味期限、取扱説明、商品に関する知的財産情報等を入力しておくことができ、取引者や消費者は、簡易なリーダによって、それらの情報にアクセスすることができる。また、生産者側からは容易に書換え、消去等も可能であるが、取引者、消費者側からは書換え、消去等ができない仕組みになっている。

【0141】

また、図示しないが、人体、動物に有害でない金属等を用いた薄膜集積回路装置を作製し、食品等に混入させ、食事状況を管理することも可能である。

【0142】

上述した商品以外にも、あらゆる商品に、本発明に係る薄膜集積回路、非接触型薄膜集積回路装置を利用することができる。

【実施例 8】

【0143】

上記実施形態又は実施例では、主に非接触型薄膜集積回路装置について説明したが、本発明に係る薄膜集積回路は、勿論、接触型薄膜集積回路装置にも採用することができる。例えば、磁気ストライプ型や、ICモジュール接点型のチップとすることができる。接触型ICの場合はアンテナを設けない構成とすればよい。また、これらの磁気ストライプ型又はICモジュール接点型の薄膜集積回路装置と、非接触型薄膜集積回路装置とを組み合わせさせた構造としても良い。

【産業上の利用可能性】

【0144】

本発明に係る薄膜集積回路の作製方法、非接触型薄膜集積回路装置並びにその作製方法は、従来のシリコンウエハに作製するICチップの作製方法に比べ、製造コストを大幅に削減することができる。本発明を用いることにより、薄膜集積回路装置に用いられる薄膜集積回路、非接触型薄膜集積回路装置や、それを用いた商品等を、低コストで大量に高歩留まり、高スループットで作製することができる。また、本発明に係る薄膜集積回路の作製方法は、接触型、非接触型薄膜集積回路装置のいずれにも採用することができ、その利用範囲は極めて広い。

【図面の簡単な説明】

【0145】

【図1】本発明を用いた薄膜集積回路装置の作製工程図

【図2】本発明を用いた薄膜集積回路装置の作製工程図

【図3】本発明に係る薄膜集積回路装置を商品に貼付する方法を説明する図

【図4】本発明を用いた薄膜集積回路装置の作製工程図

【図5】使用済み基板を再利用する場合を説明する図

【図6】平坦化処理を説明する図

【図7】本発明を用いた薄膜集積回路装置の作製工程図（折りたたみアンテナ）

【図8】本発明を用いた薄膜集積回路装置の作製工程図（折りたたみアンテナ）

【図9】本発明を用いた薄膜集積回路装置の作製工程図（サンドイッチ構造）

【図10】本発明を用いた薄膜集積回路装置の作製工程図（ラップ、封筒構造）

【図11】本発明を用いたIDカードの作製工程図（選択的UV光照射）

【図12】本発明に用いる減圧CVD装置の概略図

【図13】本発明に係るCPU、メモリの作製工程図

【図14】本発明に係るCPU、メモリの作製工程図

【図15】本発明に係るCPU、メモリの作製工程図

【図16】本発明に係る非接触型薄膜集積回路装置を搭載した商品情報のリーディング、ライティングを示す図

【図17】生産者（製造者）、販売者、消費者との関係を示す図

【図18】本発明に係る非接触型薄膜集積回路装置の原理を説明する図

【図19】リーダ／ライタの一例を説明する図

【図20】本発明に係る薄膜集積回路装置を有する商品の一例を説明する図

【図21】本発明に係る薄膜集積回路装置を有する商品の一例を説明する図

【符号の説明】

【0146】

43：剥離層

44：下地膜

42、25、87：薄膜集積回路

48、68、20、112：アンテナ

50、66、201、204、205、209、211、214、216：薄膜集積回路

装置

51、81：仮接着剤

52、55、76：ジグ（支持基板）

15：IDラベル

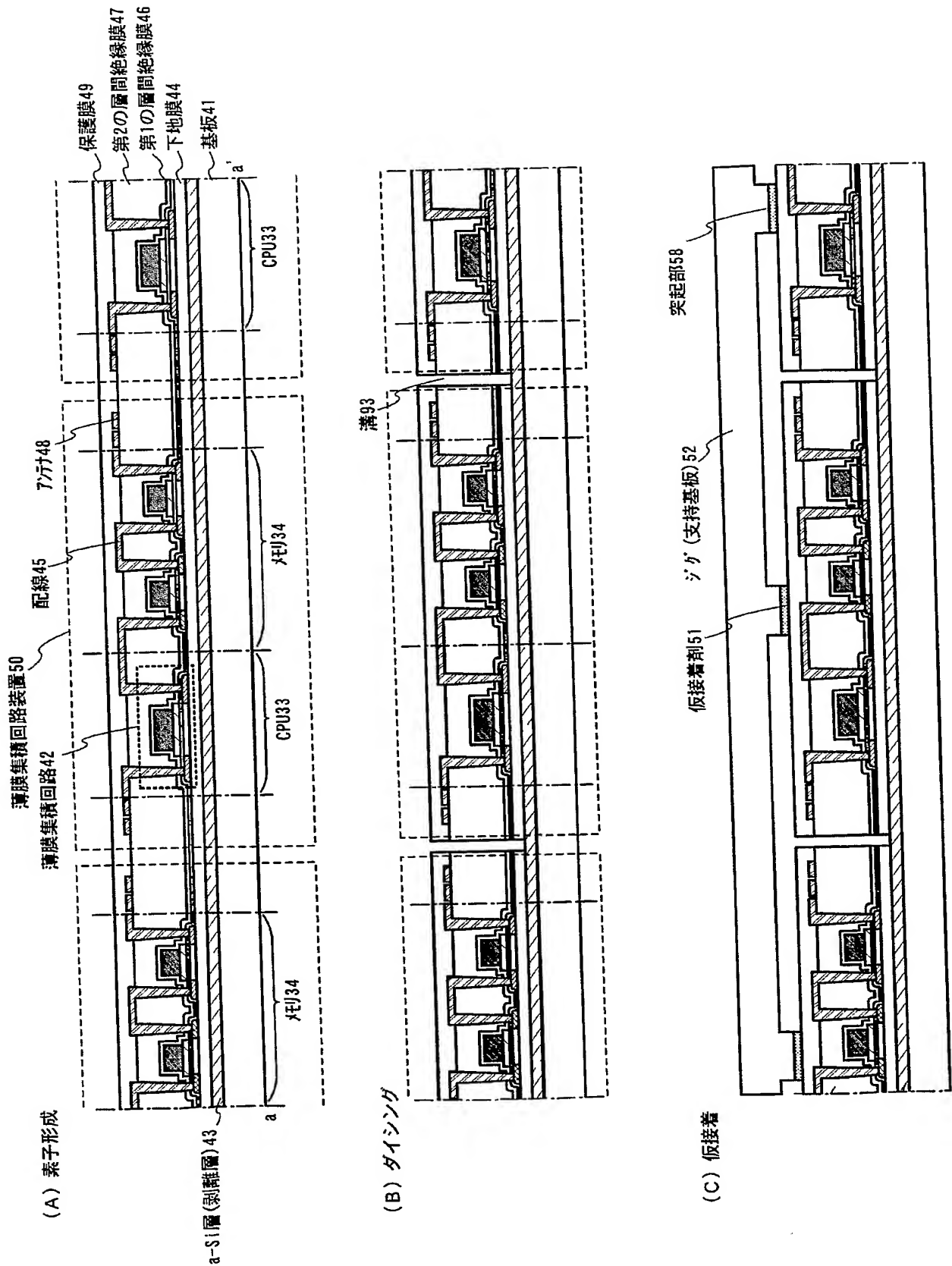
49、116：保護膜

10：商品

16、136：リーダー／ライター

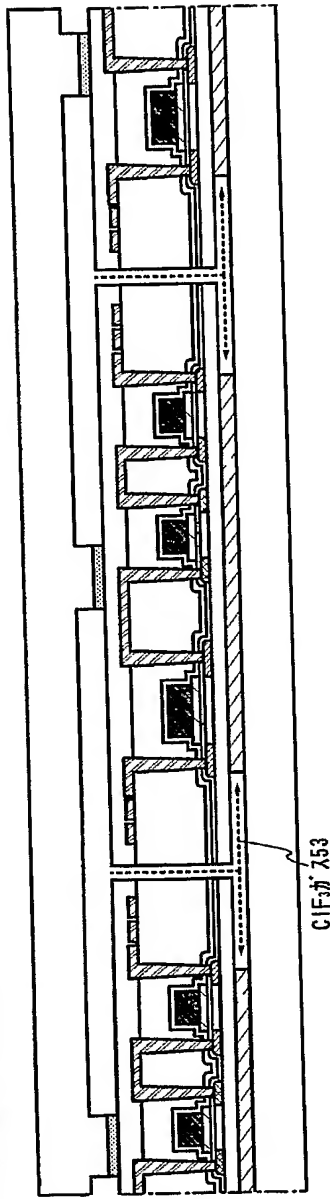
【書類名】 図面

【図1】

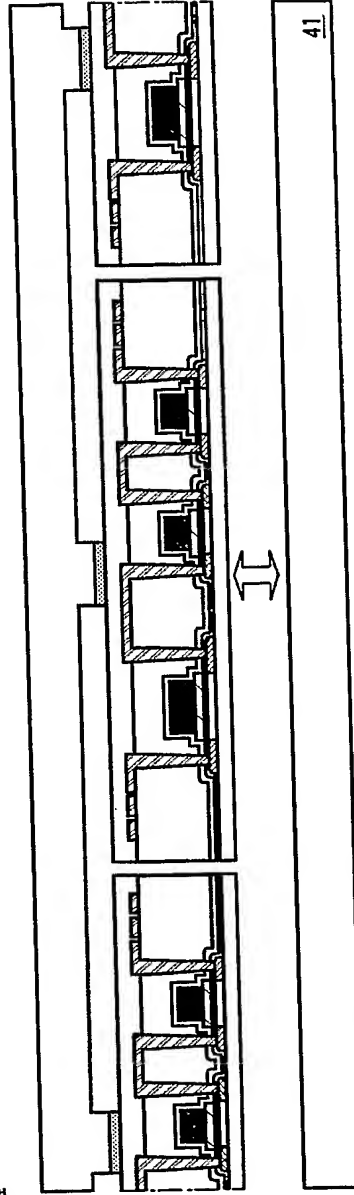


【図 2】

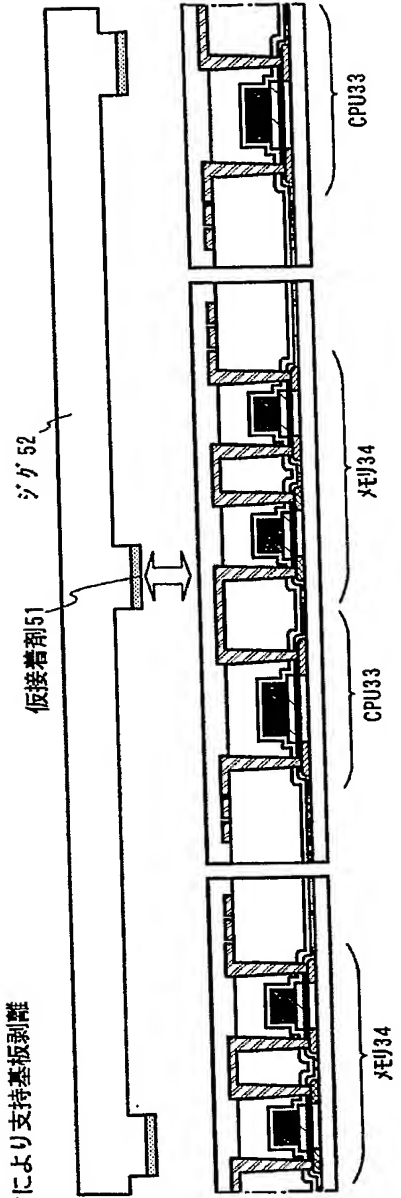
(D) ClF_3 を用いて剥離層エッチング



(E) 基板剥離

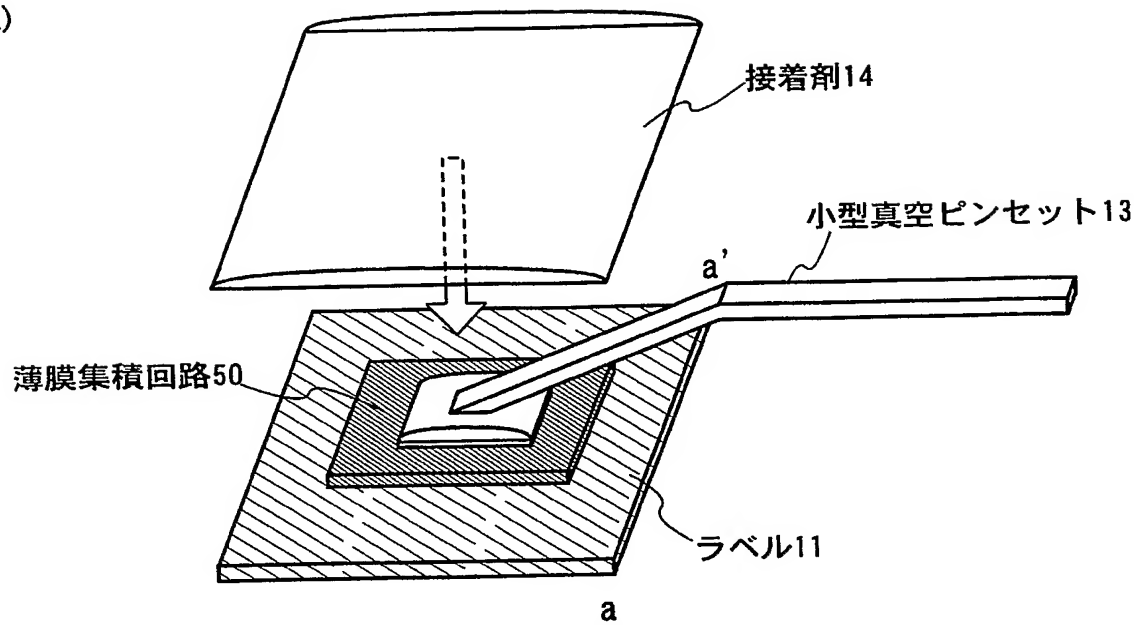


(F) UV光照射により支持基板剥離

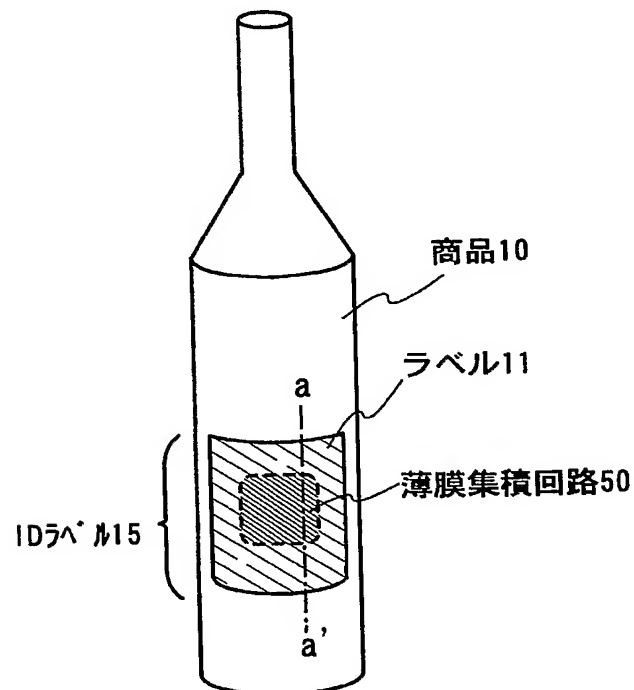


【図3】

(A)

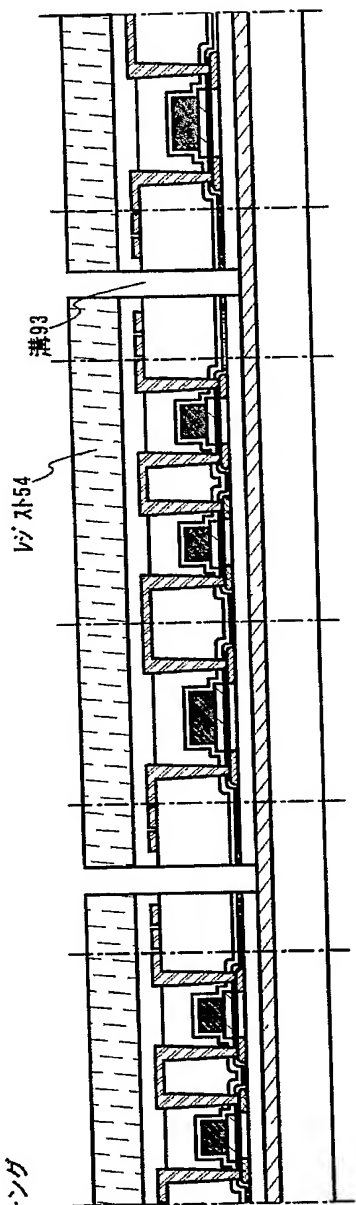


(B)

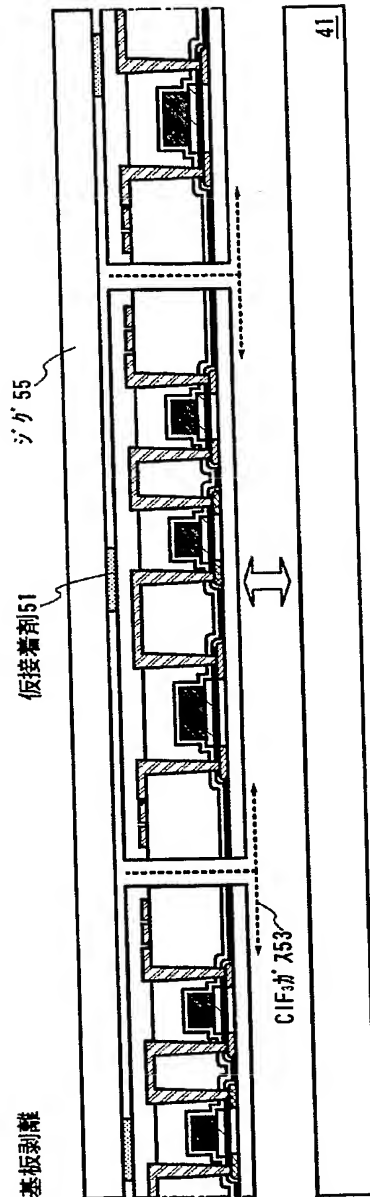


【図 4】

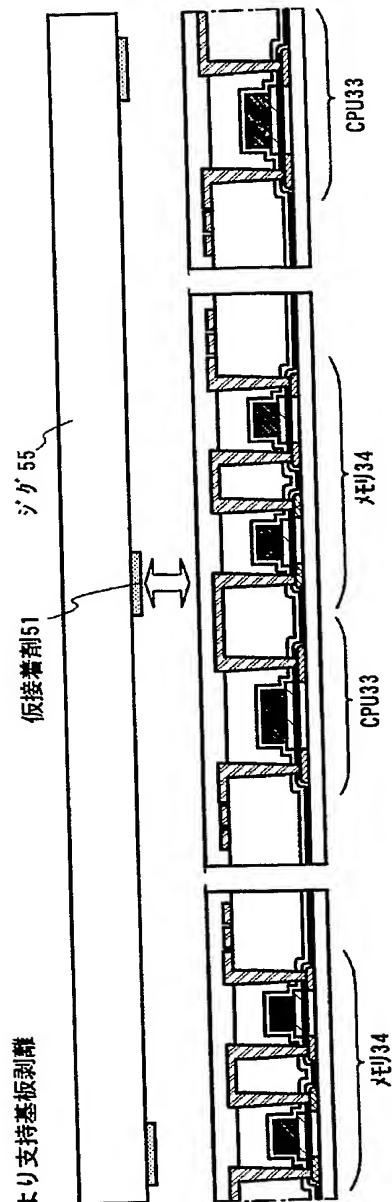
(A) ドライエッチング



(B) ClF_3 を用いて基板剥離

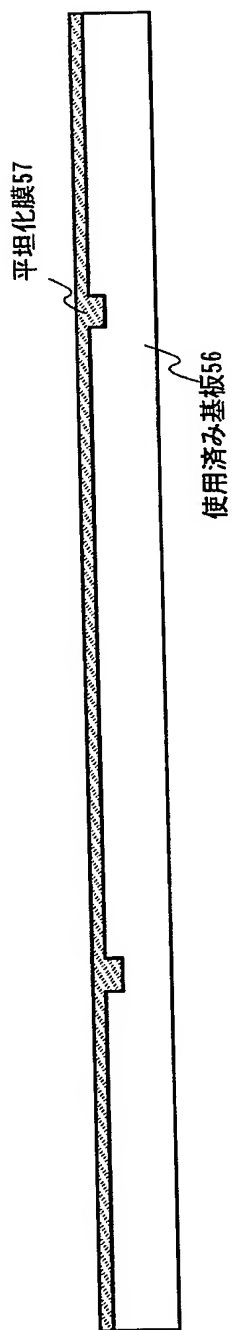


(C) UV光照射により支持基板剥離



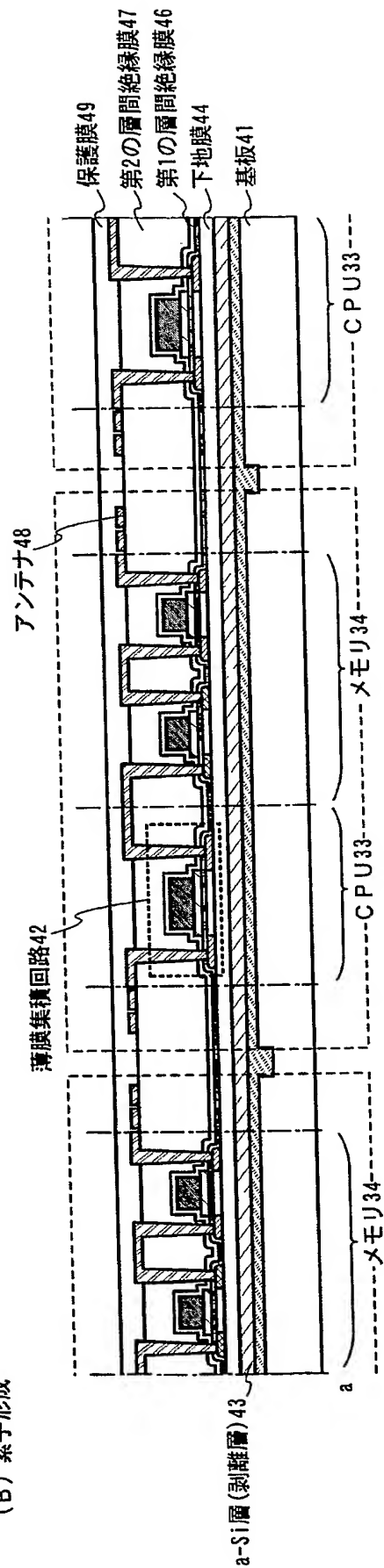
【図 5】

(A) 平坦化膜形成



使用済み基板56

(B) 素子形成



第2の層間絶縁膜47

第1の層間絶縁膜46

下地膜44

一、基板41

アンテナ48

薄膜集積回路42

a-Si層(剝離層)43、

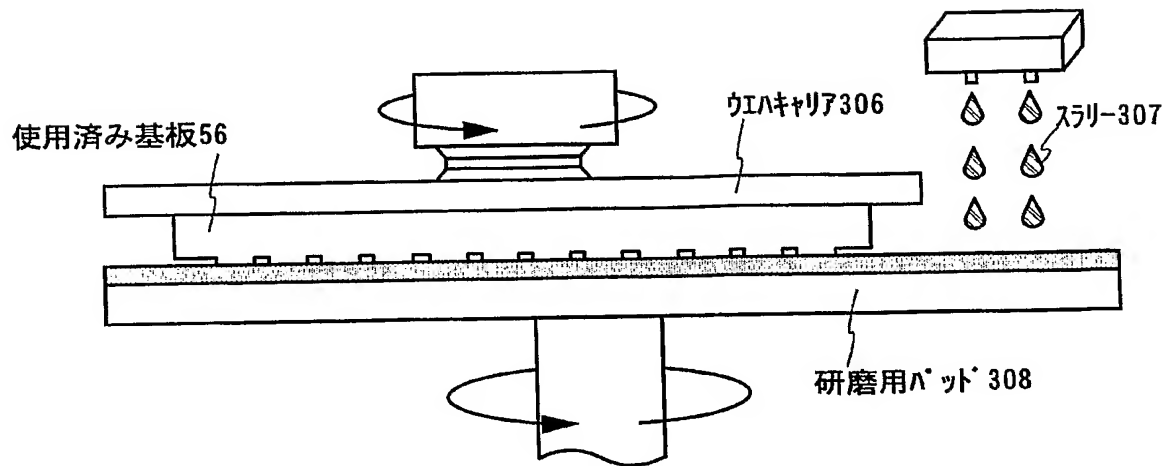
3

CPU33-

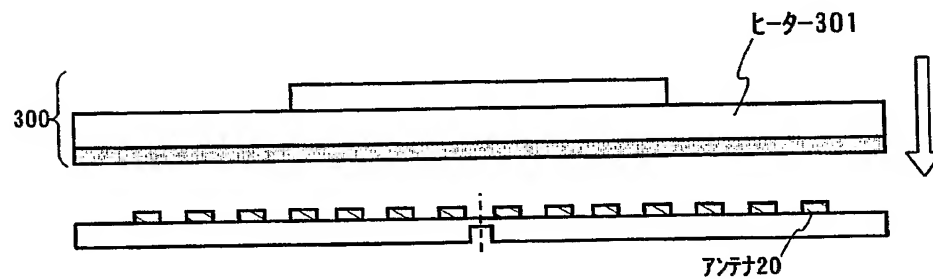
Y 51134-

【図 6】

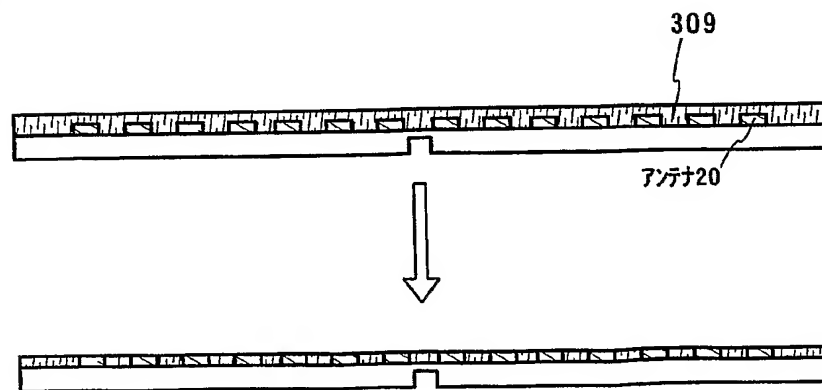
(A) CMP (機械的・化学的研磨)



(B) プレス

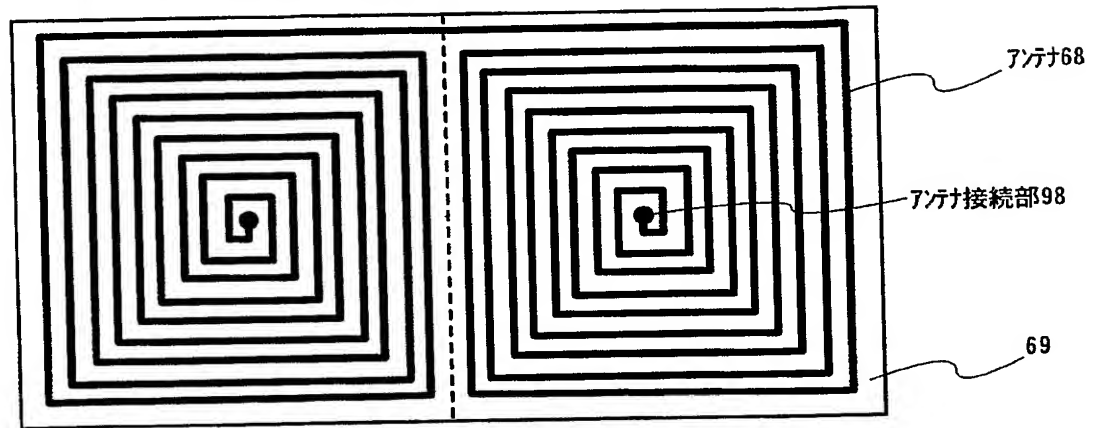


(C) イッチバック

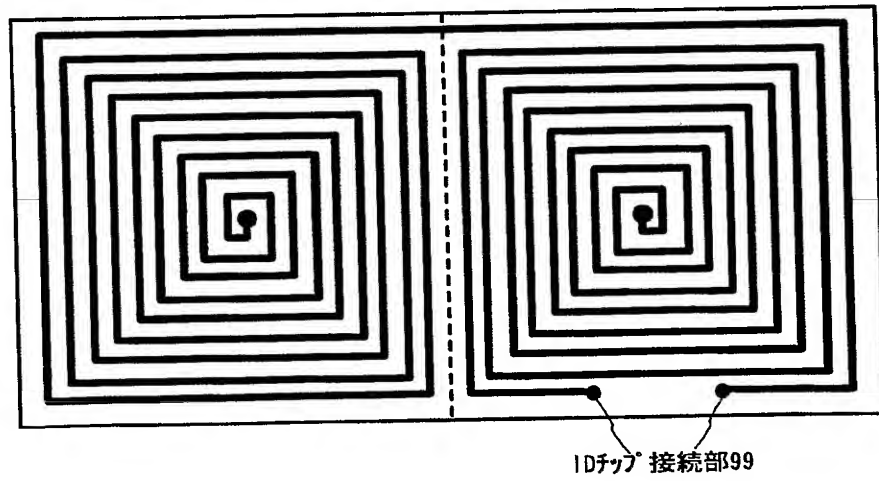


【図 7】

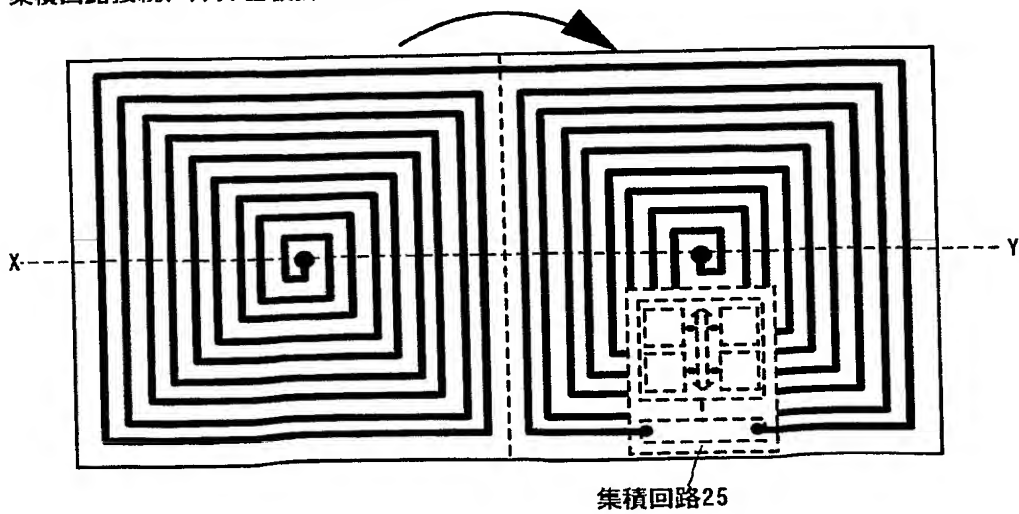
(A) アンテナ形成



(B) 集積回路接続部形成

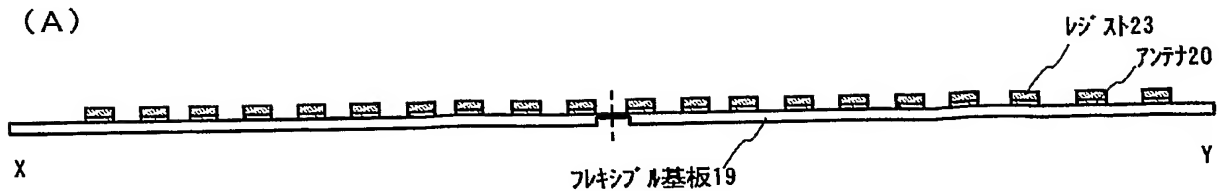


(C) 集積回路接続、アンテナ基板折りたたみ

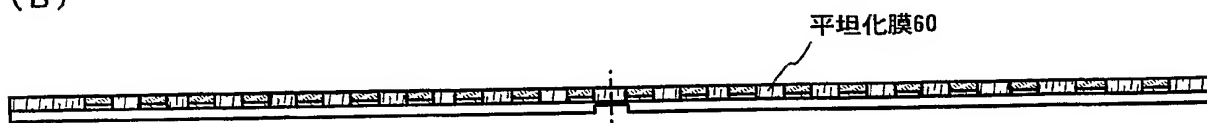


【図 8】

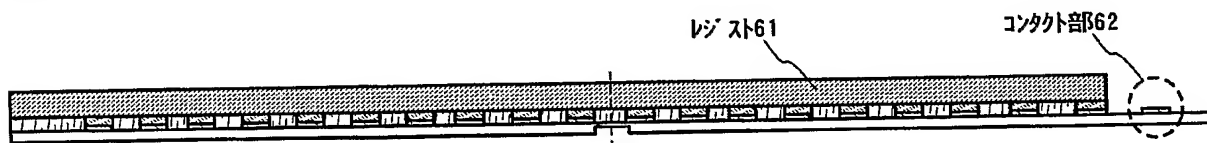
(A)



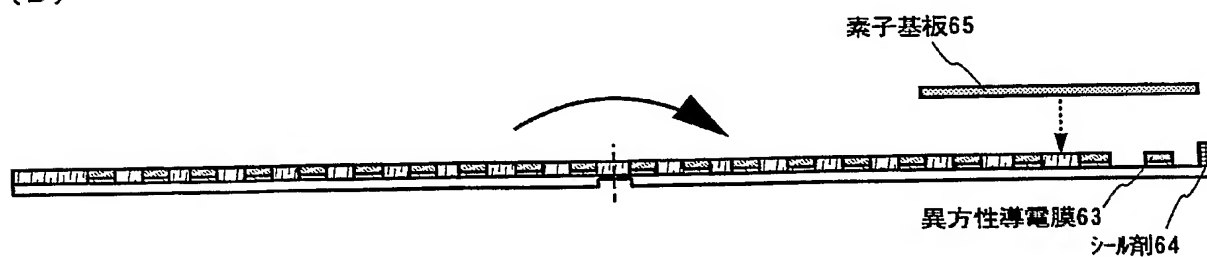
(B)



(C)



(D)

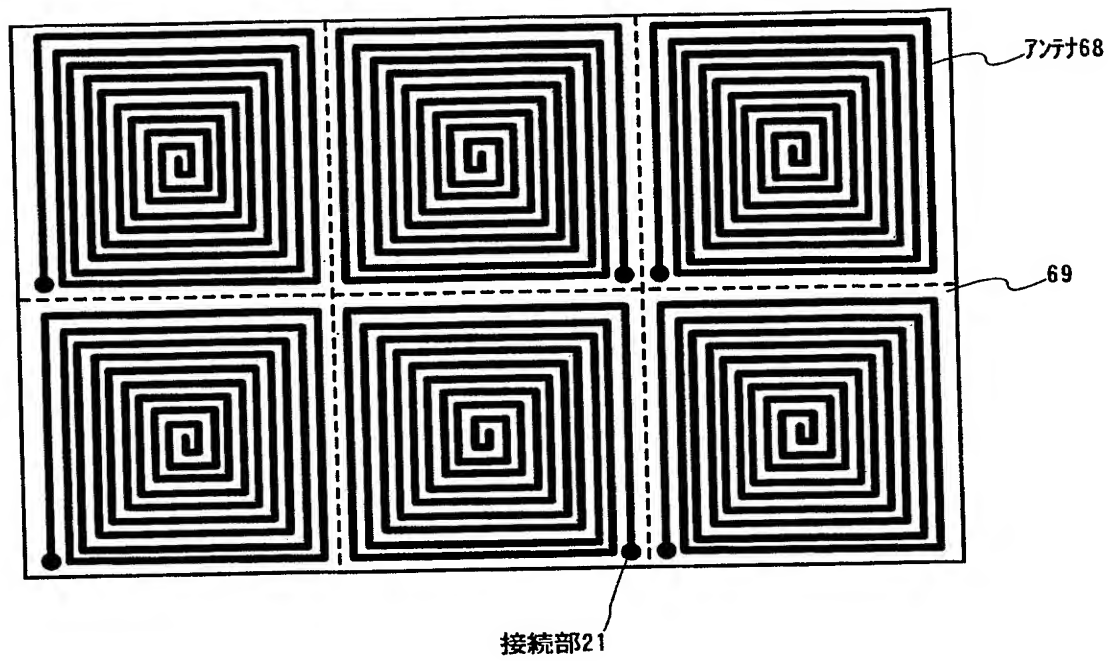


(E)

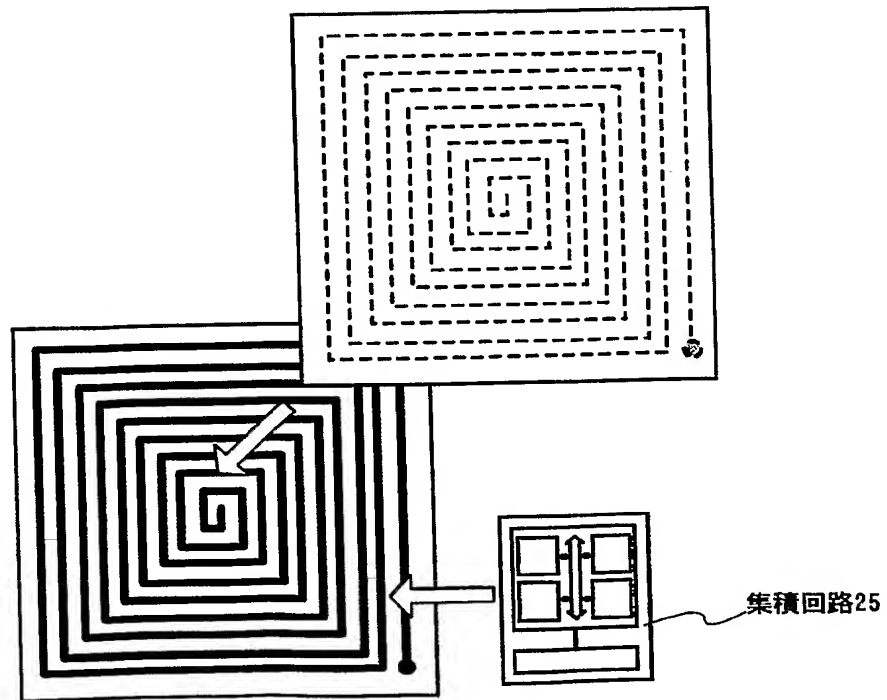


【図 9】

(A) アンテナ形成

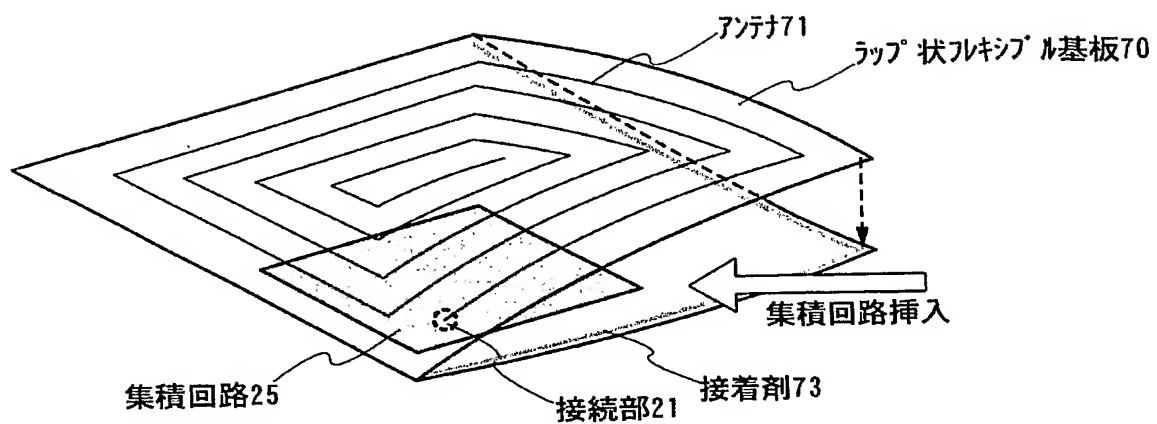


(B) アンテナ、素子基板貼り合わせ

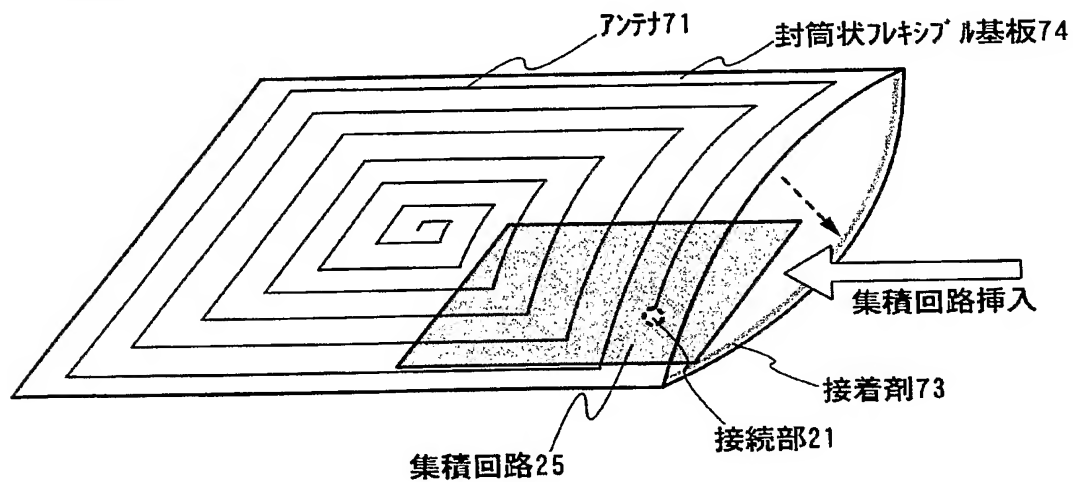


【図10】

(A) ラップ型

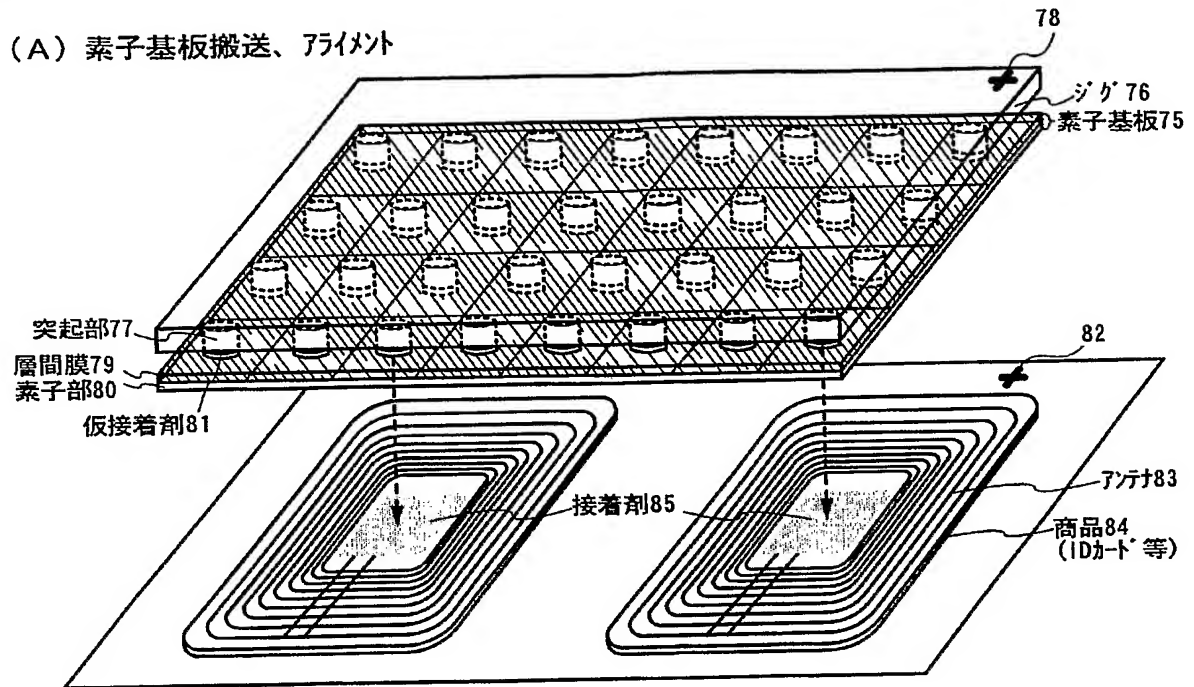


(B) 封筒型

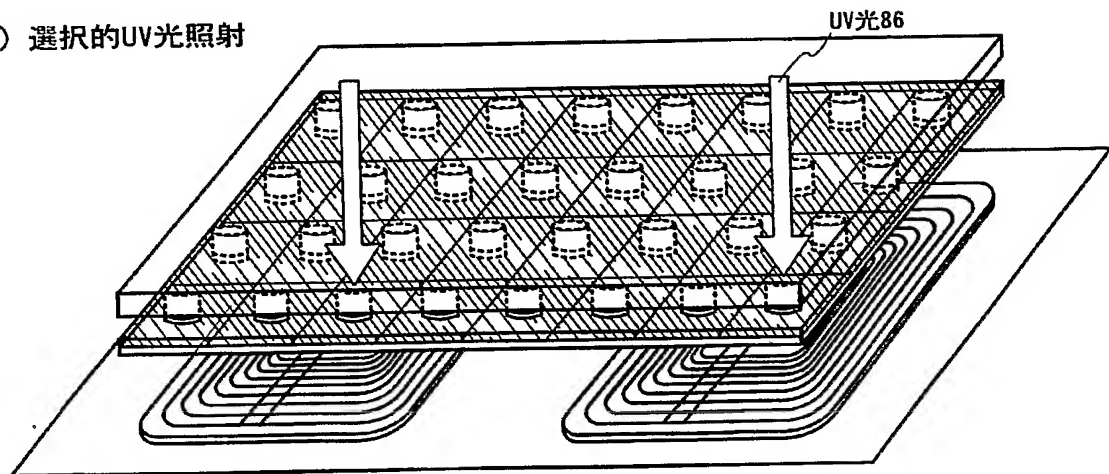


【図 1 1】

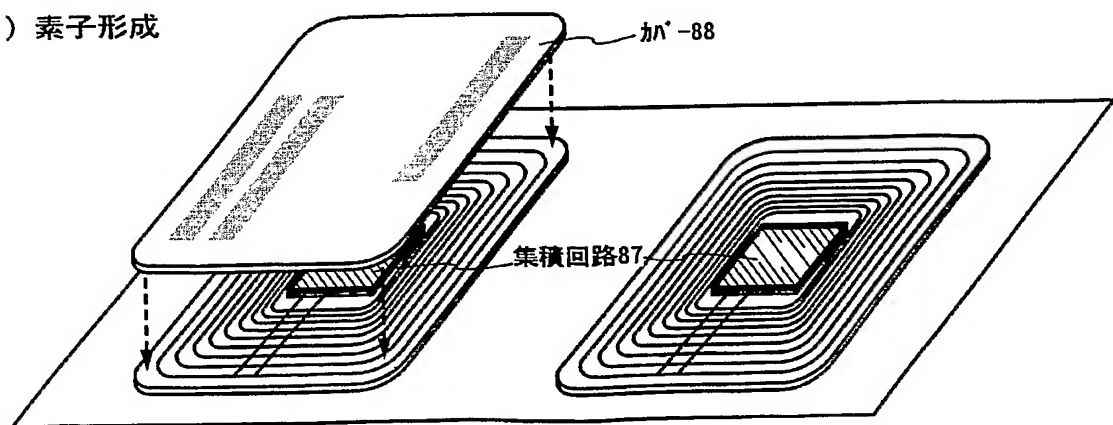
(A) 素子基板搬送、アライメント



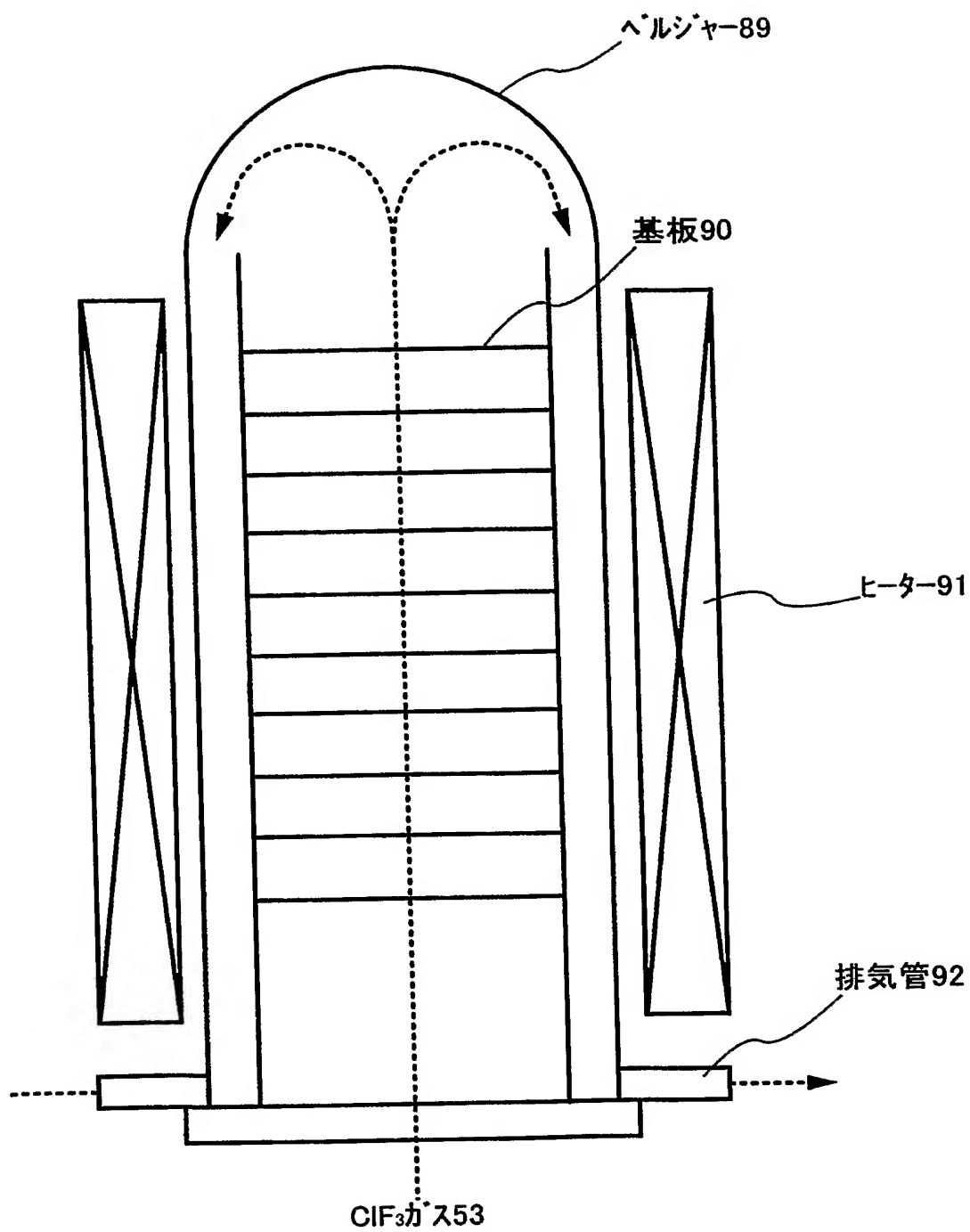
(B) 選択のUV光照射



(C) 素子形成

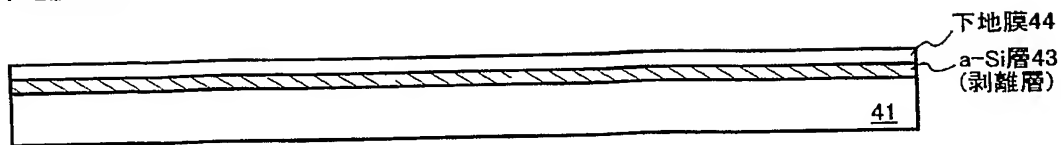


【図12】

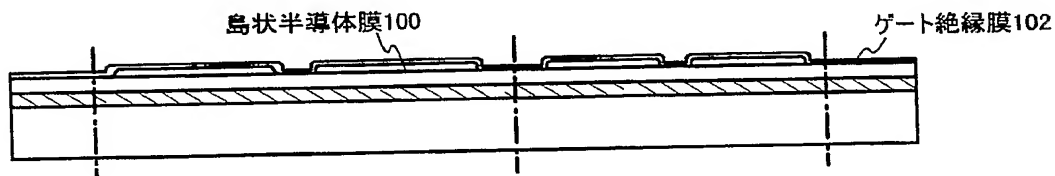


【図13】

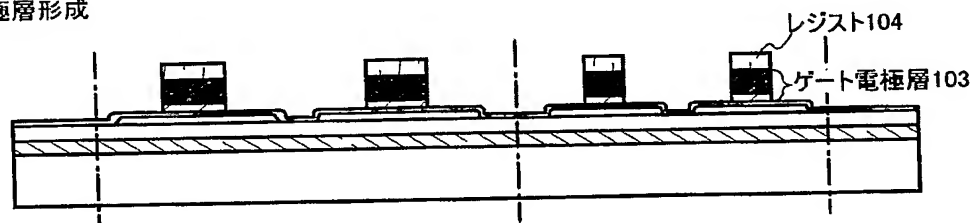
(A)剥離層\下地膜形成



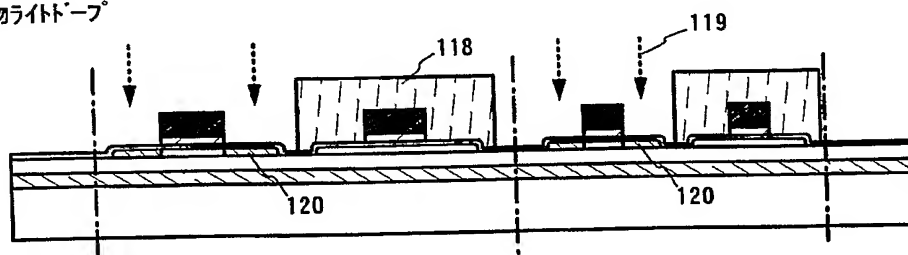
(B)島状半導体膜\ゲート絶縁膜形成



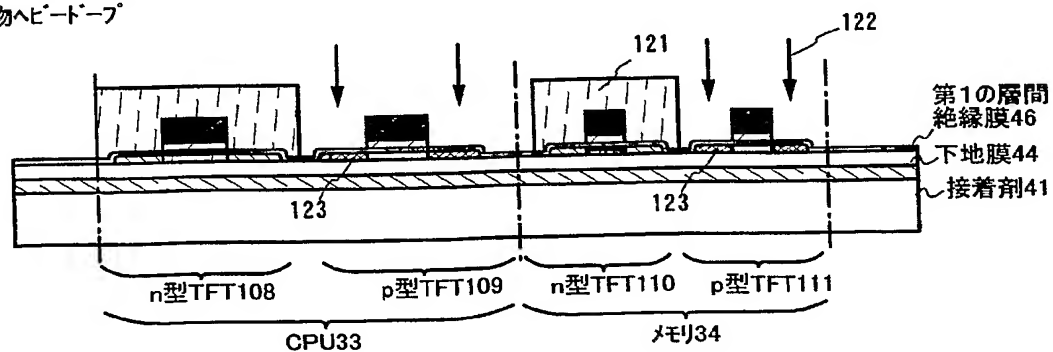
(C)ゲート電極層形成



(D)n型不純物ライトドープ

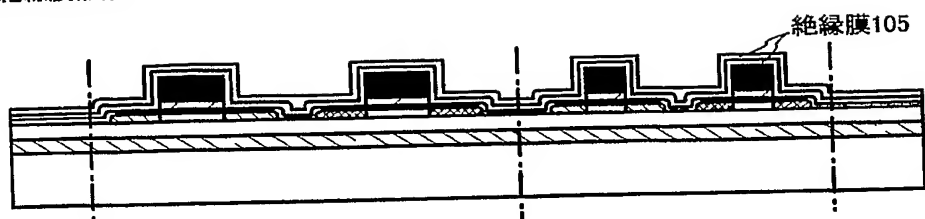


(E)p型不純物ヘビードープ

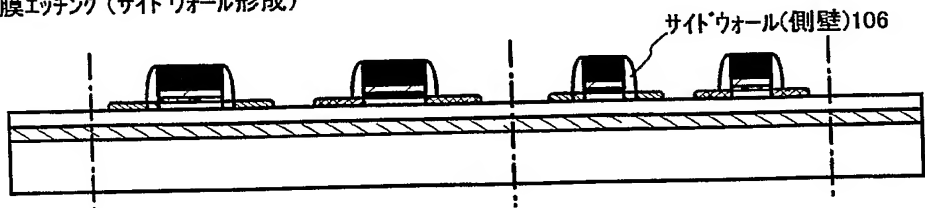


【図 14】

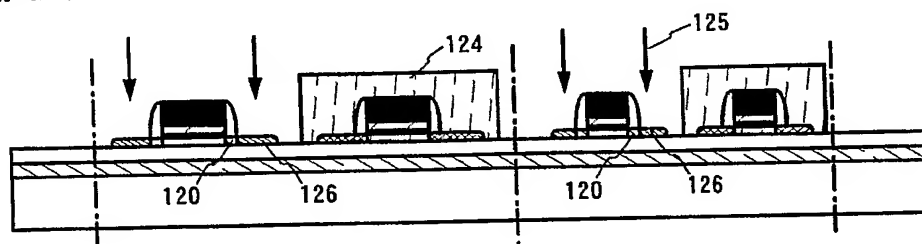
(F)第1の層間絶縁膜形成



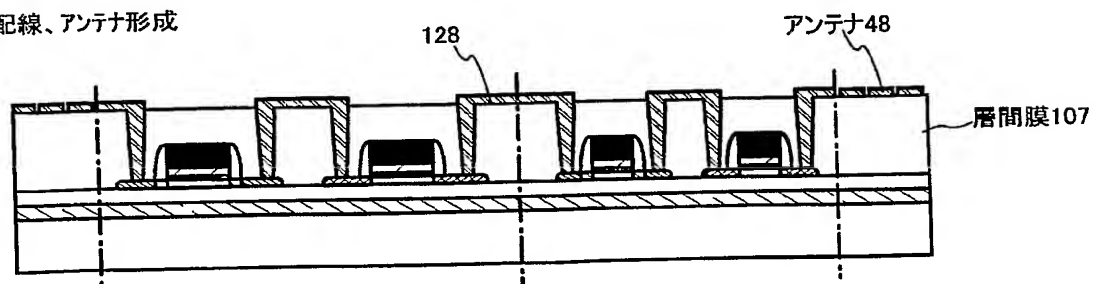
(G)層間絶縁膜エッチング(サイドウォール形成)



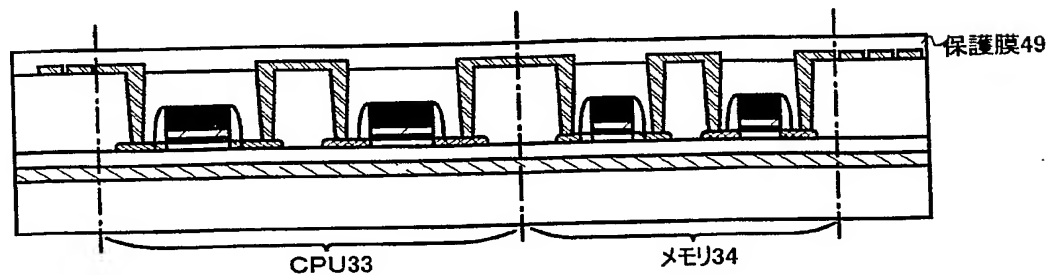
(H)n型不純物ヘビードープ



(I)層間膜、配線、アンテナ形成

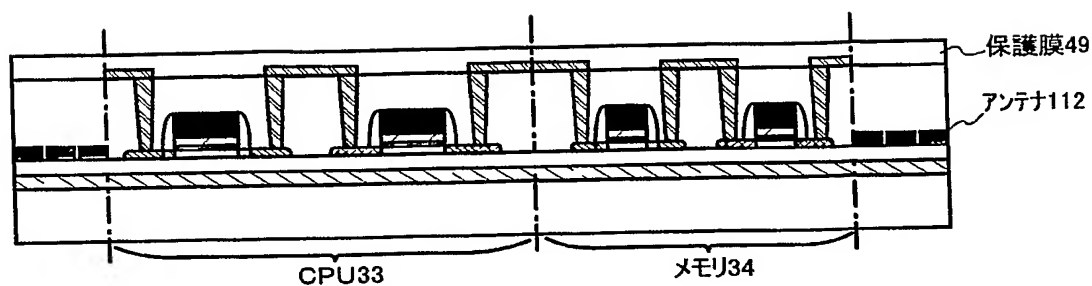


(J)保護膜形成

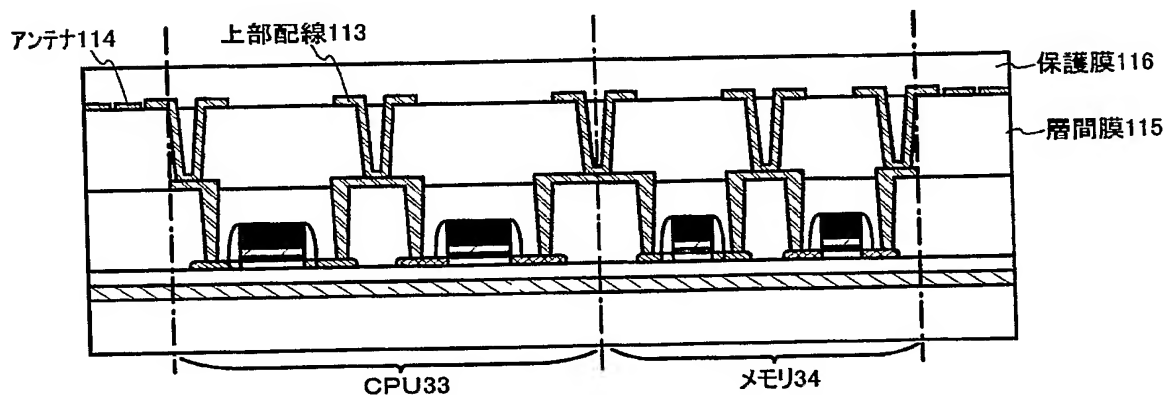


【図 15】

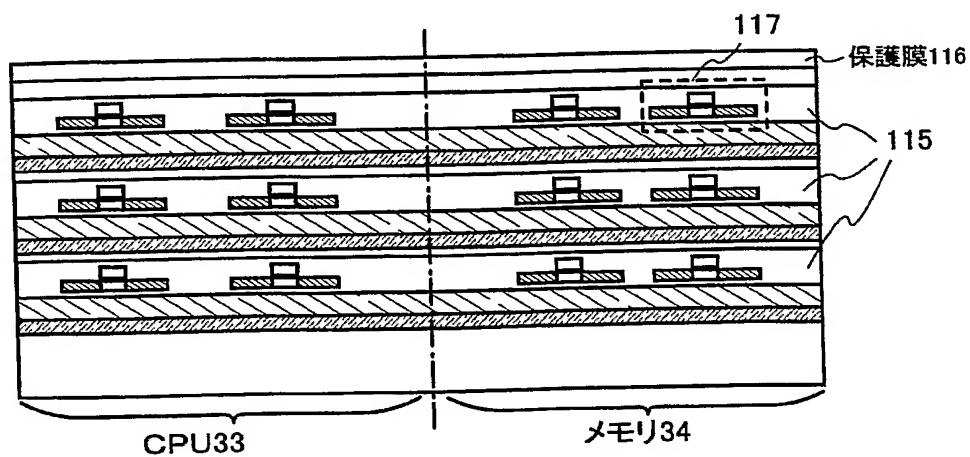
(A)



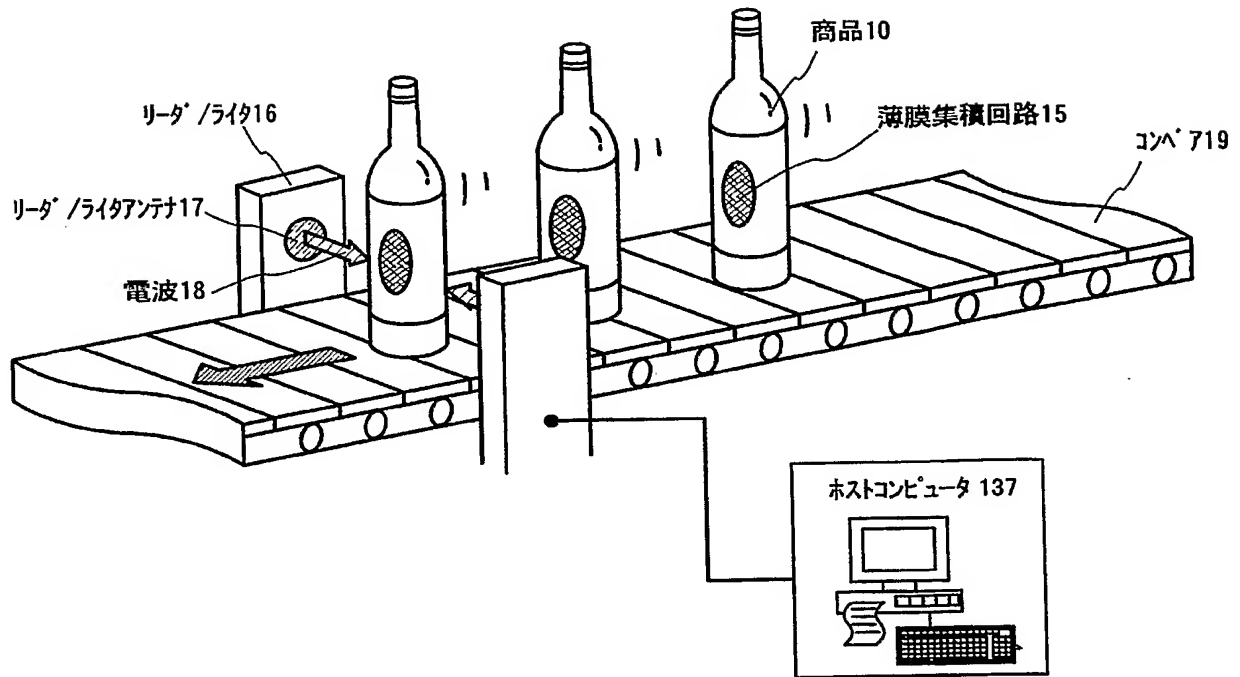
(B)



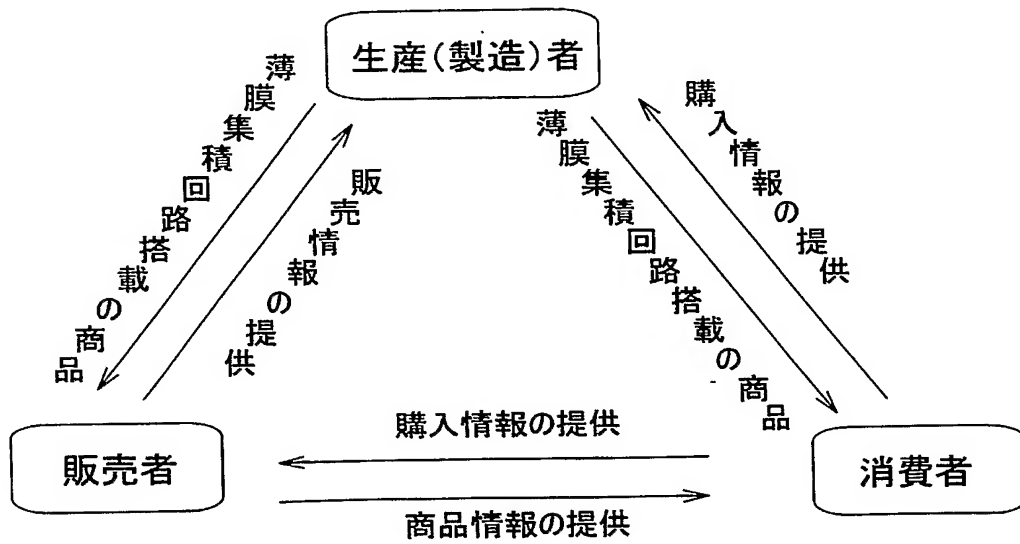
(C)



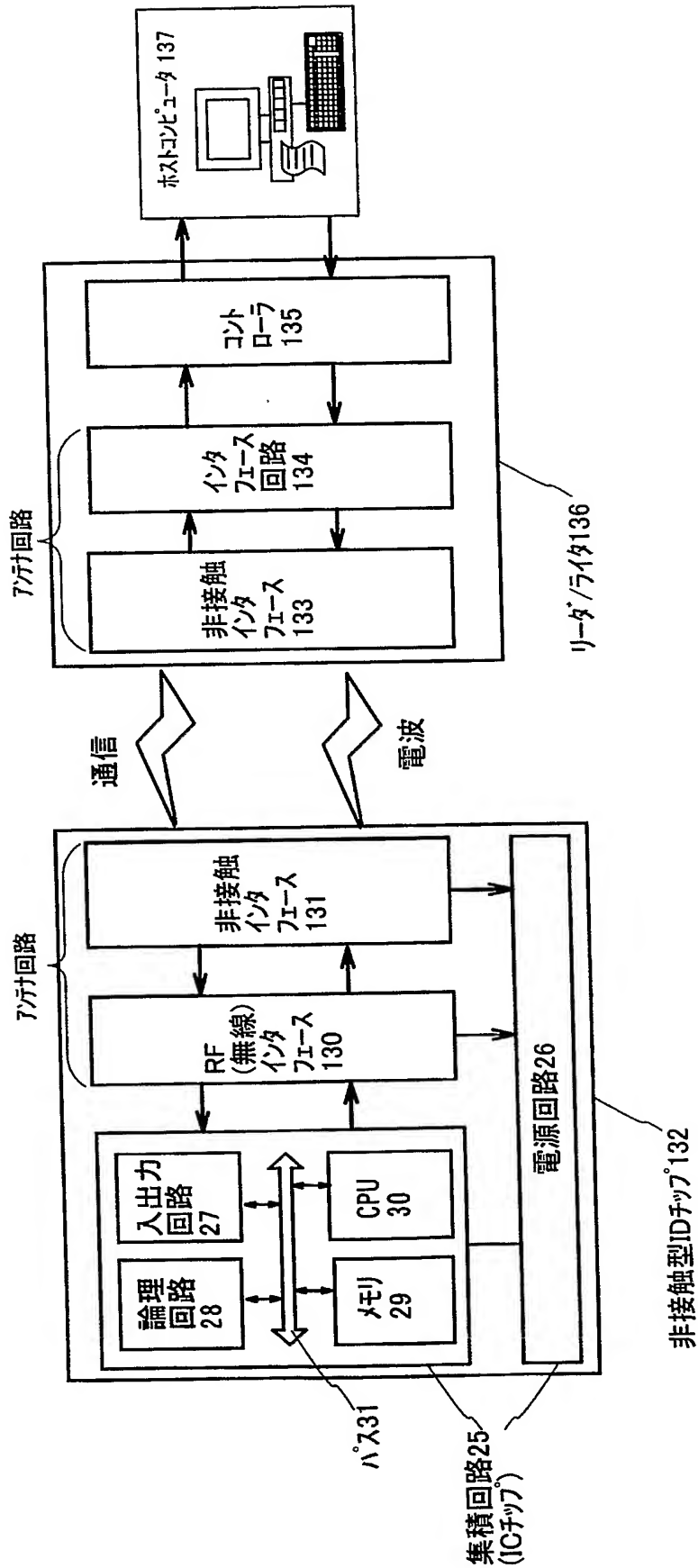
【図 16】



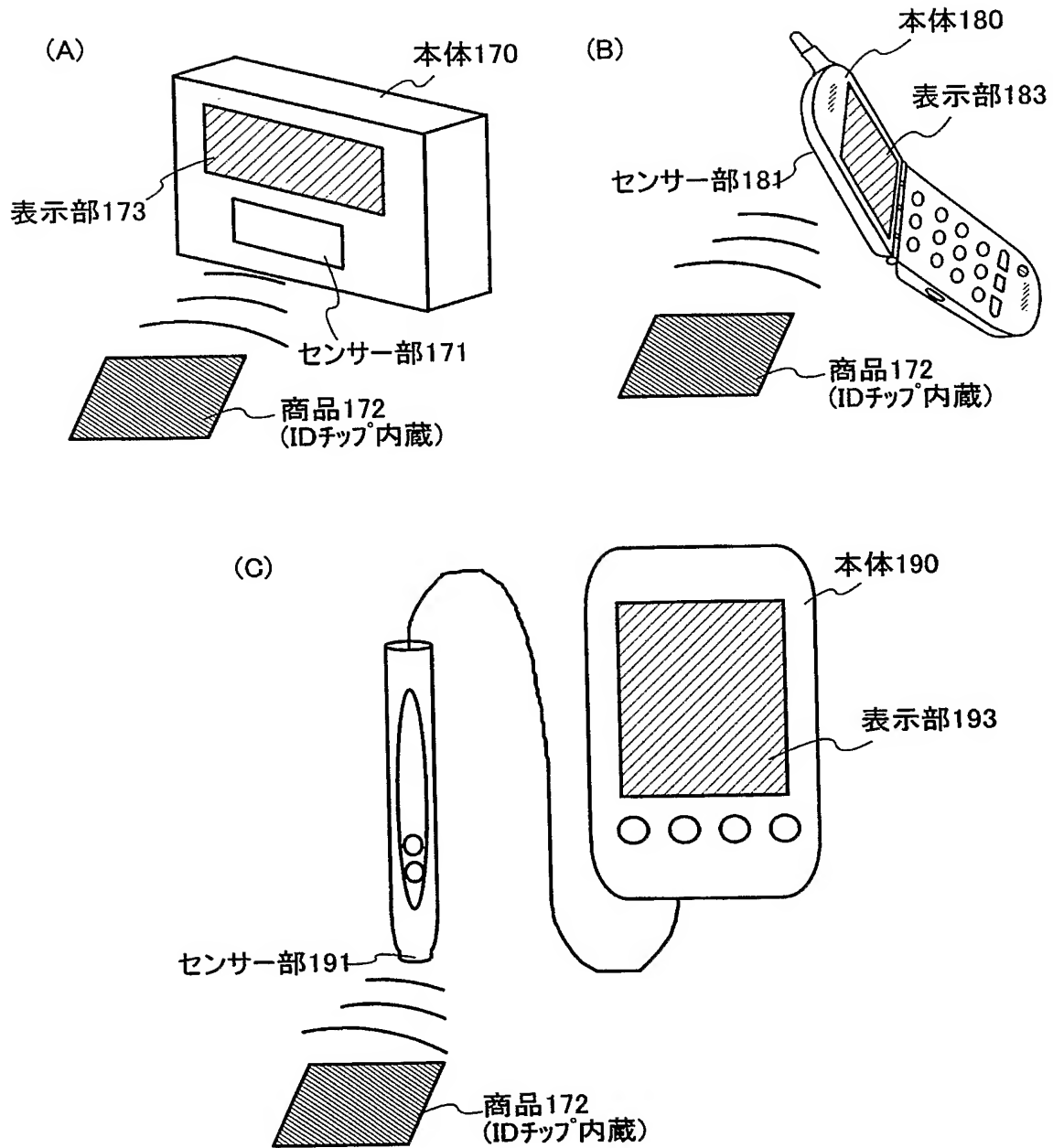
【図 17】



【図18】

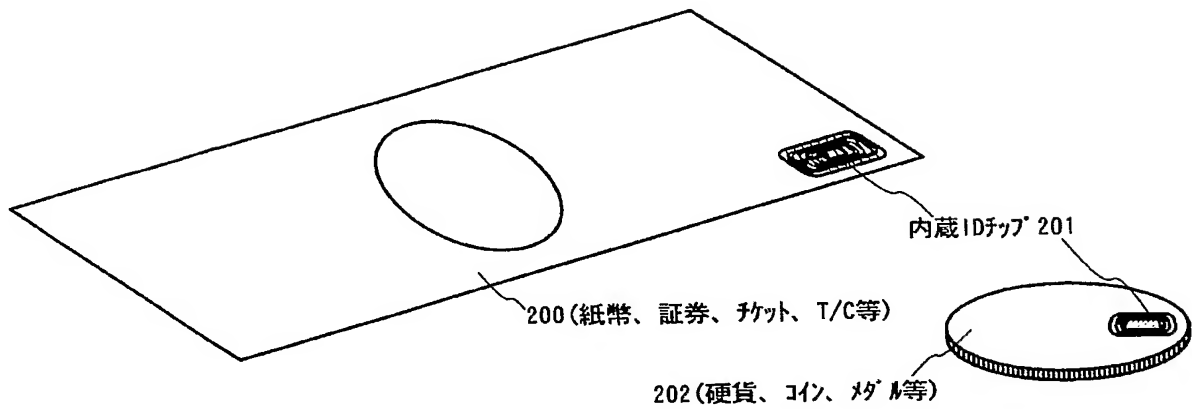


【図 19】

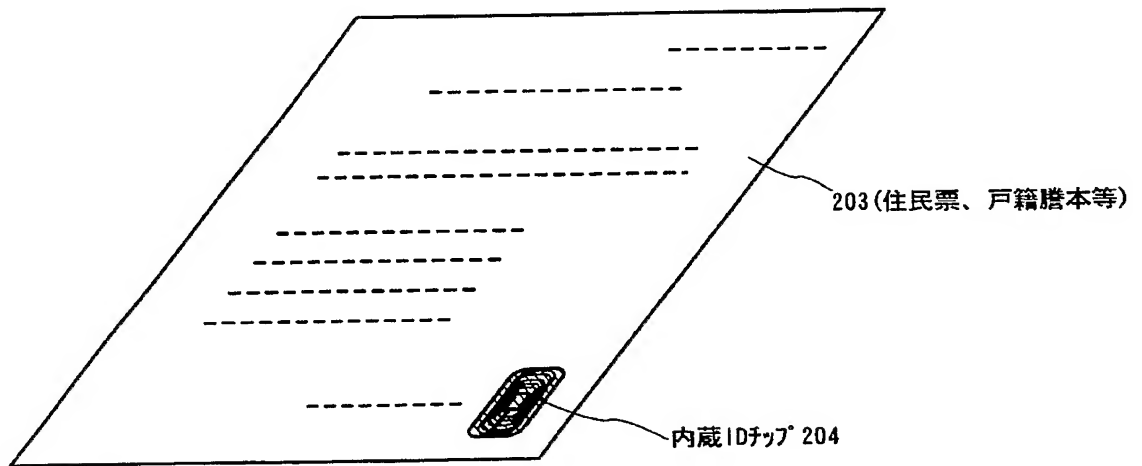


【図 20】

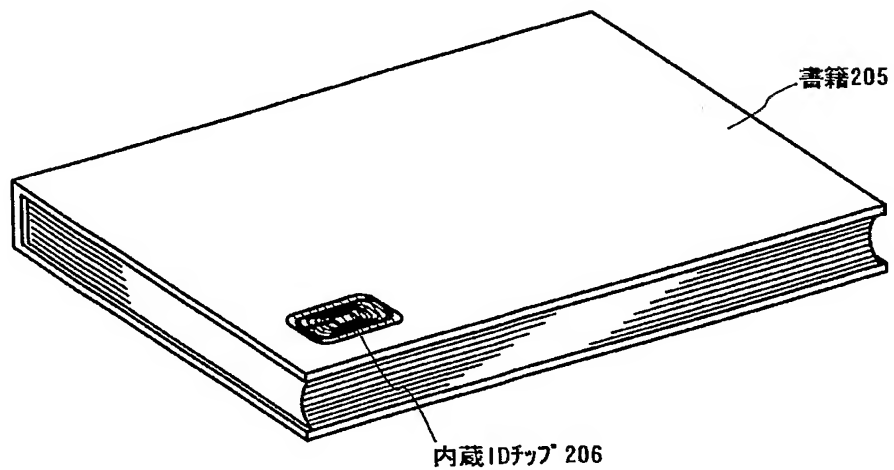
(A)



(B)

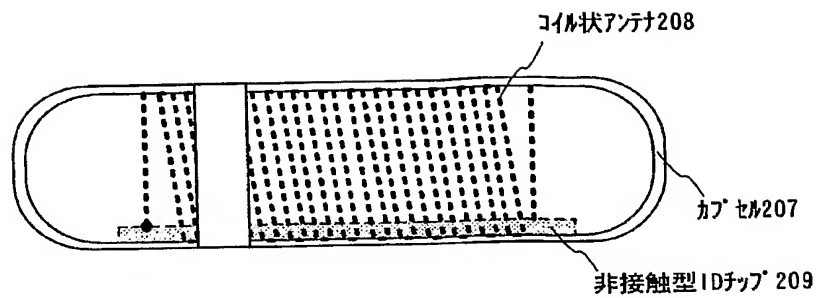


(C)

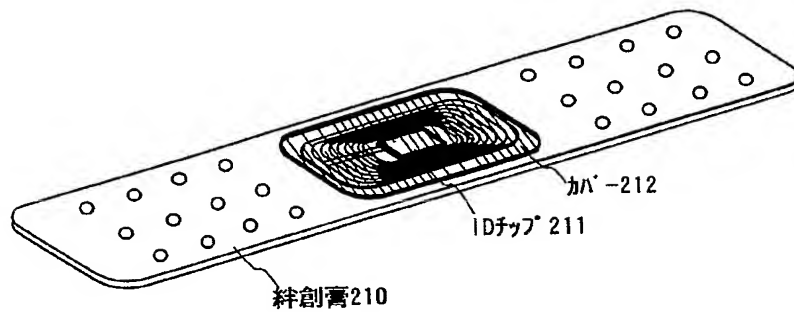


【図 21】

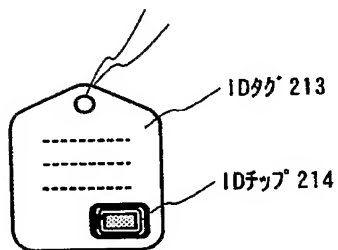
(A)



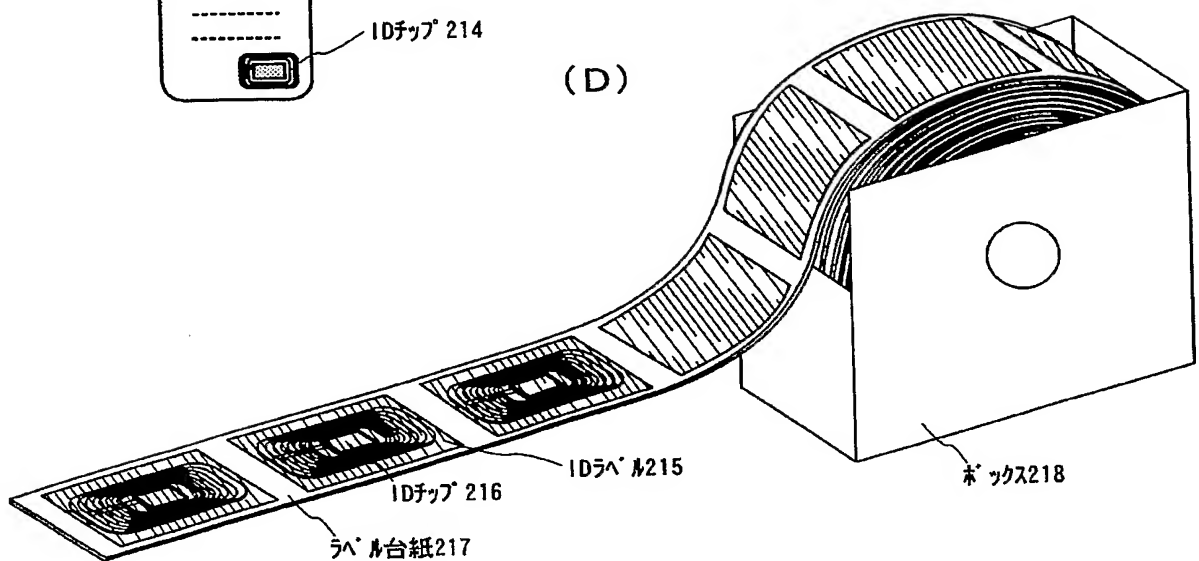
(B)



(C)



(D)



【書類名】 要約書

【要約】

【課題】 非接触型 ICチップが普及するにつれて、莫大な数の人間、動植物、商品、紙幣等に利用可能な ICチップを、大量に極めて低コストで製造する必要がある。例えば、商品や紙幣等に付される ICチップは、1個当たり1円～数円、望ましくは1円を切るコストで製造する必要がある、低コストで大量生産が可能な ICチップの構造、プロセスの実現が求められている。

【解決手段】 本発明に係る薄膜集積回路の作製方法は、基板上に剥離層を形成し、前記剥離層上に下地膜を介して複数の薄膜集積回路を形成し、前記複数の薄膜集積回路の境界に溝を形成し、前記溝にハロゲン化フッ素を含む気体又は液体を導入し、前記剥離層を除去することによって、前記複数の薄膜集積回路を分離することを特徴としている。

【選択図】 図 11

特願 2 0 0 3 - 4 1 7 3 1 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所